

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-242563

(43)Date of publication of application : 07.09.1999

(51)Int.Cl. G06F 3/06  
G06F 13/10  
G11B 19/02  
G11B 20/10  
G11B 20/12

(21)Application number : 10-165129

(71)Applicant : SONY CORP

(22)Date of filing : 12.06.1998

(72)Inventor : OKADA SHUNJI  
FUJII NOBUKO  
KANOTA KEIJI

(30)Priority

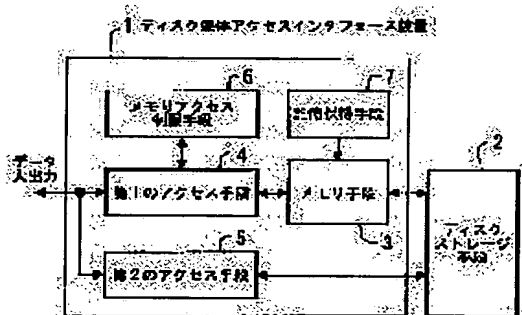
Priority number : 09355708 Priority date : 24.12.1997 Priority country : JP

## (54) DISK MEDIUM ACCESS INTERFACE DEVICE AND ITS ACCESS METHOD AND DISK DRIVE DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a rotating disk medium access interface device which can fast and continuously write and read the data while maintaining its connectivity to an existing host computer.

**SOLUTION:** The file management information that is stored in a disk medium of a disk storage means 2 is previously copied to a memory means 3. When the data are read out of and written into the means 2, a 1st access means 4 accesses the means 3 to prepare its read/write operations. Then the data can be continuously transferred to the means 2 by a 2nd access means 5. Thus, the means 2 has no access of a head arm to a file management area that occurs every time the data are transferred for every cluster and can perform the fast and continuous transfer of data to a user data area.



## LEGAL STATUS

[Date of request for examination]

11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the disk-media access interface equipment which write data to a disk storage means to have the disk media of a rotating type A memory means to read the management information in the management domain where the information about the data arranged on the disk media of said disk storage means is recorded and managed from said disk media, and to hold it, The 1st access means which performs the R/W of said management information which should be performed to said management domain of said disk media to said memory means, The 2nd access means which write data to the data area of said disk media, A memory access limit means to reset the logic State by which it clocks from the time of preparation initiation of the R/W of data to said data area, and said 1st access means accesses to said memory means after predetermined time progress, preparation \*\*\*\*\* -- the disk-media access interface equipment characterized by things.

[Claim 2] Said memory means is disk-media access interface equipment according to claim 1 characterized by reading and holding said management information from the management domain of the disk media of said disk storage means as pretreatment when performing data transfer to the after [ powering on ] beginning.

[Claim 3] Said memory means is disk-media access interface equipment according to claim 2 characterized by returning said management information currently held as pretreatment when current supply was intercepted to the management domain of the disk media of said disk storage means.

[Claim 4] Disk-media access interface equipment according to claim 1 characterized by having further a storage maintenance means to maintain permanently said management information currently held at said memory means.

[Claim 5] In the access approach of disk-media access interface equipment of writing data to the rotating type disk media which have the record section of a file management information field and a data area The file management information recorded on the memory prepared in said disk-media access interface equipment by said file management information field of said rotating type disk media is copied beforehand. At the time of data transfer, the access place is used as said memory at the time of access to said file management information field. The access approach of the disk-media access interface equipment characterized by what is considered as the data area of said rotating type disk media at the time of access to said data area.

[Claim 6] The access approach of the disk-media access interface equipment according to claim 5 characterized by starting a time check at the time of access to said memory, and resetting the access place assignment to said memory after predetermined time.

[Claim 7] During the data transfer to said rotating type disk media after the access termination to said memory, it is the access approach of the disk-media access interface equipment according to claim 5 characterized by turning OFF the control signal to said rotating type disk media.

[Claim 8] The access approach of the disk-media access interface equipment according to claim 5 characterized by returning said file management information written in said memory to the file management information field of said rotating type disk media to the timing of arbitration after the data

transfer to said rotating type disk media.

[Claim 9] Rotating type disk drive equipment characterized by having the control means which accesses the rotating type disk media with which R/W of data is performed, a drive internal-memory means to memorize the file management information about the data file written to said rotating type disk media, said drive internal-memory means, and said rotating type disk media, as one disk storage means in all in rotating type disk drive equipment.

[Claim 10] Said control means is rotating type disk drive equipment according to claim 9 characterized by having a weight time-control means to reset access to said drive internal-memory means after predetermined time progress.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to disk-media access interface equipment, its access approach, and disk drive equipment. Are applicable to the video audio disc system used as the nucleus of non-linear editing of the home digital video signal especially united with the file system of a future personal computer. It is related with suitable disk-media access interface equipment to file-size data and carry out record playback in the file system which has FAT (File Allocation Table) and a directory, its access approach, and disk drive equipment.

[0002]

[Description of the Prior Art] As a general technique of the conventional record technique, rotating type record playback disk media have come to be equipped with the capacity as a record medium of a video signal by rapid progress of a high density record technique. Interactive handling, interactive non-linear editing, etc. of an image can realize the function which is impossible in the video tape recorder of a tape medium from the ability of high-speed random access to be performed, and the expectation of a hard disk is especially great as a record medium of multimedia and the multi-format age. Disk media are indispensable not only to the non-linear-editing system of a broadcast application, a video server, etc. but implementation of utilization by fusion to the personal computer of a home application, and digital video edit. However, since the hard disk has progressed as an external record medium of a computer, if it is seen as a record medium for images, since it will assume that data transfer is not continuous, it is writing in the consecutive relation of the cluster in which the file head location and file data of a cluster unit which FAT of a file system deals with in the case of the file access of write-in read-out, and a file system deals with as logic block-address positional information on disk media to a directory are written.

[0003] Some are known as a file access method of the conventional image voice-input/output data. The example is shown below. Drawing 20 is drawing for explaining the file system of a personal computer. Here, the case of the personal computer which carries MS-DOS and highly efficient OS (operating system) of Windows (both trademark of Microsoft) is explained as the 1st file access method. A personal computer has CPU (arithmetic and program control) 101, and this CPU 101 is connected to the host bus 103 through the bridge (integrated circuit) IC 102. Direct continuation of the bridge IC 102 is carried out to main memory 104. Moreover, the host bus 103 is connected to the hard disk drive 106 of an ATA method through the ATA (AT Attachment) hard disk interface 105.

[0004] In the personal computer of such a configuration, similarly main memory 104 is accessed through a bridge IC 102 at the same time CPU 101 accesses the host bus 103 through a bridge IC 102. on main memory 104, highly efficient OS and the image voice data handling program which have a file system are developed, and the directory of a hard disk drive 106 and FAT data carry out write-in reading appearance, the updating data in a period are used, writing in the cache field prepared on main memory 104, and if data transfer is completed, actuation which writes the content of a cache in the disk media of a hard disk drive 106 will be carried out. On the other hand, through the ATA hard disk interface 105, the host bus 103 accesses a hard disk drive 106, and carries out writing of data, and read-out. In this

case, the hard disk is used in the file format of a DOS compatible format, being formatted.

[0005] Next, another file access method like a publication is explained to JP, 54-40046, A. Drawing 21 is drawing for explaining the example of the file system of an optical disk. As the 2nd file access method, the file access method in disk playback read-out of the data file written in CD-ROM (read-only memory using a compact disk) etc. is explained. The equipment which carries out playback read-out of the disk 111 consists of a control section 112 and RAM (random access memory) 113.

[0006] Here, when carrying out playback read-out of the data file written in the disk 111, a control section 112 reads TOC (Table Of Contents) from a disk 111 on RAM 113 first. Reading appearance of the content of TOC is carried out by Oita made into the matrix address of a sector number and a track number, an inside classification, and the minor key, and the address of a disk 111 and the address of RAM 113 are made to correspond to it at this time. If a search instruction comes from a control section 112, first, RAM 113 will be accessed, the address position of the file will be searched very much with a kind, an inside classification, and a minor key on memory, and the track number and sector number of the file will be acquired. And the file data on the disk 111 corresponding to the address will be accessed based on the track number and sector number which were acquired.

[0007] Next, the file access method for memory cards is explained as the 3rd file access method.

Drawing 22 is drawing for explaining the example of the file system of a memory card. The file system for memory cards consists of CPU 121, main memory 122, a bus 123, a memory storage interface 124, and memory storage 125.

[0008] Although CPU 121 accesses the memory storage 125 through the memory storage interface 124, the file system in that case has composition of an easy different file system from the file system for highly efficient OS, does not prepare a cache field separately on main memory 122, but is writing a directory and FAT data in the memory storage 125 as it is. Even if this accesses which address in the memory storage 125, time amount discontinuity cannot generate access latency-time discontinuity easily practically practically equal. And the cache field for a directory and FAT data is secured to the memory allocated to another field on the address map which changes with CPU configurations to be used. Highly efficient OS which used a directory and a file system which changes an access place and accesses it from the memory storage 125 to the cache field on main memory 122 for every renewal of a content of FAT originates in it being unnecessary.

[0009] By the way, a hard disk consists of an interface and a disk drive, and record playback of data can be performed by being controlled from CPU through a host bus. since it has progressed as external storage of a computer, the bursty data for every logical block mistake a hard disk, there is, it carries out write-in reading appearance efficiently, and it is designed so that data transfer can be carried out. [ no ] Moreover, it is constituted so that a disk file system compatible with DOS may also suit this application and the quick random access in a logical-block unit may be possible. For this reason, it cannot be said that the hard disk is not necessarily suitable for the record playback application of continuation data like an image voice data signal.

[0010] That is, an image sound signal has the property in which the bit rate (sustain rate) of which a continuation transfer is required as compared with computer data is high, and is sequential data of the very large block frame unit of data size. It needs to be satisfied with implementation of the disc system of the file-sized image voice data of the monograph affair of maintaining the former which guarantees the continuity of a video signal which carries out record playback of the high-definition image on real time and which it is cheap and is used as a compact and prospective compatibility, and expandability.

[0011] Here, the record playback of the signal of a high bit rate must be able to be carried out, so that an image is high definition, in order to process on real time. In I/O and transfer of data, it is necessary to finish carrying out data transfer processing of the amount of data of the basic block size (for example, being one frame and one packet for example, several 100-K byte unit) of an image certainly within the conventional time (for example, 1 / 30 seconds, or 1/several seconds). In an interface and a disk drive, signal processing suitable for the property of a video signal is performed, and it is fully employing each device engine performance efficiently, and it is necessary to realize a cheap and compact system with power saving and a simple device configuration. And it is IEEE1394 which is the interface specification

which needed to be made based on the standards (ATA protocol etc.) of a computer, and formal spread initiation of the image sound signal was carried out as a home digital video signal, and was established in order that an interface may secure connectability (compatibility) with a broad host computer, and the expandability of a prospective system. You need to make it based on DV method or MPEG(Moving Picture Experts Group) 2 stream.

[0012] namely, as a disc system united with the personal computer into which an efficient quality image voice continuation data signal can be edited by domestic In the disc system configuration of the image voice data which can carry out record playback of the image voice continuation data, such as a digital video signal of a high quality high bit rate, on real time efficiently A disk drive, its access approach, and an image voice record data signal It is necessary to make the continuation read-out writing of the special image voice data record signal which used and was file-ized as it was not in the direction but in the same file system format of the same drive specification as the computer data of a file system format correspond to disk record playback.

[0013] When using a hard disk as an image voice continuation data-logging device, file-ized records, such as a DOS compatible file system, are desired. this time -- a DOS compatible disk file system -- continuation data write-in read-out -- on the way -- whenever it comes out and records or reproduces to a storage device for every predetermined data size units, such as a cluster chain, it is necessary to perform writing to a directory and FAT, and renewal of data depended for carrying out reading appearance

[0014] The file format of the DOS compatible file system for disk devices has prepared FAT which carries out sequential description of the boot record which described the parameter of file format, and two or more cluster number chains which continue within the same file from the initiation cluster number of each file specified by the below-mentioned directory, the directory which describes the initiation cluster number of this file, and the user data area which a user can use. Here, in case the file of long data size is accessed, a FAT chain is updated whenever user data exceed a rear spring supporter and a cluster to two or more cluster field. After actuation of a file system completes writing file data to each cluster, it writes the new following cluster number in the tail of the FAT chain of the entry point of the file specified by the directory, and uses a new cluster. This actuation is performed by winding and \*\*\*\* (ing), whenever reading and user data write exceeding a cluster.

[0015] Each cluster is the logical-block unit of two or more set unit which is each sector on the disk which a file system defines, and in order to also access random access data, such as text data, promptly, if it compares from the die length of continuation image voice data, it is set to the integral multiple of each sector (in an ATA drive, it is 1 sector =512 byte) which is very small data block size, for example, 8 K bytes, 16 K bytes, 32 etc. K bytes, etc. For this reason, also in case continuation image voice data is written in as continuation data file-ized based on the control procedure of a DOS compatible file system, is read and is carried out, it is continuously carried out per cluster. FAT which distance left physically [ the user data area where the continuation data of a file are written in ] on a disk for every cluster unit which is above-mentioned quite small data size, Physical access of the read-out write-in head arm section to the field where a directory is included occurs frequently.

[0016] Here, in the disk formatting, on account of the read-out management in the case of starting, it concentrates on a predetermined logical sector location, and FAT and the directory in which the file location of a disk is shown per logical block are arranged. In addition, in a DOS compatible file system, directory management information may distribute to a user data area by preparing a subdirectory or preparing a logic partition. This information is used by accessing based on a boot record and the data indicated by directory information.

[0017] As an example of the usual hard disk drive marketed now, an engine speed has some which the mean access time of the one direction of [ from a truck part ] another truck part with per minute 5400 rpm (= about 11.1mm/second per rotation) and a disk cuts in about 10 mses.

[0018] Here, if there is renewal of the cluster chain in FAT, the head arm actuator in which the disk read-out head was carried will perform physical access to the FAT field in the physically distant location from a data area. And if the time amount taken to rotate one time is average about 11 mses in order to access the logical sector of the object on a truck, it will average as rotational delay and will cut in about

5.5 mses of the one half. Furthermore, also before returning from there to the original truck, the same time amount will be taken, and the time amount discontinuity before and behind average about 31 mses occurs in total. This is the case of ideal actuation and consideration is needed for the tracking settling time etc. in addition to this. On the other hand, since data transfer will be started after writing predetermined command code in data transfer at a register with a built-in drive for the writing to the drive of a command and waiting for the response of a drive if it sees from a viewpoint of the data transfer of CPU with a hard disk, the time amount for command issuance takes about 300 microseconds, and the data transfer rate capacity of the internal data buffer of a drive and a host interface is 33 M bytes/second at the maximum. However, the average continuation data transfer rates between the disk media of a drive and an internal data buffer are about 6 M bytes/second - about 12 M bytes second, i.e.,/ , and 200 K-400 K bytes / , and 33.3 mses.

[0019] Here, the case of 1 / 30 seconds is considered for the data size and the time period unit of continuation image voice data by 128 K bytes as an example, respectively. For example, even if it is the case where the one-frame data of image voice are the data size of one cluster Once access of an arm and the rotational delay of a sector occur for every cluster for R/W of renewal of the cluster chain data of FAT In completing the renewal of data of the cluster chain in R/W of the FAT, returning to the original location and continuing R/W of continuation image voice data The time amount discontinuity of about 30 mses occurs in the meantime, and it becomes impossible actually to finish transmitting one-frame data within each 1 [ which is 1 frame time of image voice data ], and every 30 seconds. The one-frame data of image voice are a 128K cutting tool, if one cluster is 32 K bytes, at least four head arm accesses occur, therefore the time amount discontinuity of 120 mses exists. This time amount discontinuity is used as the bottleneck of a current drive data transfer rate, and even if the transfer rate between the buffer circuits with a built-in disk drive of a disk drive which will be improved in the future improves more than twice, it will still exist.

[0020] Moreover, the data size and the time period unit of continuation image voice data consider the case of 0.5 seconds by 512 K bytes as an example, respectively. For example, the processing need time amount of each compressed data unit becomes [ compressibility ] high about 1 / 2 seconds. In order for the case where the parallel processing of two or more continuation data performs data transfer in parallel within this processing time, and one data block to also gather the image voice data of MPEG 2 with a comparatively low transfer rate in big sizes, such as about 512 etc. K bytes, and to write [ reading and ] it within the time basis for about 0.5 seconds If one cluster is 32 K bytes, it will think the same way and 16 head arm accesses, i.e., the time amount discontinuity of an average of 480 mses, will occur. If head arm access for renewal of a FAT chain occurs since the engine-performance specification of the continuation data transfer rate between the high interior buffers of 26 M bytes/second of disk drive is needed in order to write 512 K bytes by the remaining 20 mses, it will become a failure in the time basis for about 0.5 seconds to realize to write continuation image voice data on real time with a disk drive.

[0021]

[Problem(s) to be Solved by the Invention] In the example of the personal computer of Windows-OS loading which is general-purpose highly efficient OS described as the 1st above-mentioned file access method, the mass main memory which CPU can treat is needed for OS. For example, in Windows 95 (trademark of Microsoft), making it operate is expected 16 M bytes or more of main memory. Here, in main memory, it has highly efficient OS, and the cache field for carrying out the cash advance of FAT of a file system and the updating data of a directory with the system tool other than a program and a file system which deals with image voice data I/O can be prepared. However, in addition to this, in order that much system call interruption processings may start continuously for the parallel processing of many tasks of a display driver, a keyboard driver, a mouse driver, and each built-in device driver, only an image voice data I/O device and a hard disk cannot occupy a host bus, but there is a trouble that the discontinuity of time amount will occur in whenever [ the ]. [ whether in order to cancel this, OS and the computer architecture itself will be changed during an image voice data transfer so that interruption service of a display etc. may be forbidden and a host bus may be occupied, and ] Or a transfer rate faces the image voice data incorporation and the high-speed continuation transfer to a PCI (Peripheral



Component Interconnect) bus very high-speed in 133 M bytes/[ a second and ]. Into the access processing time to the logical sector of the object on the disk which is drive internal processing, a host bus is released, it is parallel and buffer processing of image voice data transfer processing can be performed. And interrupt processing is received by having the queue function with a tag of a command. The UltraWide-SCSI drive of the high efficiency to which the waiting for activation is applied intelligently and which can perform high-speed processing, and the optimized SCSI (small computer system interface) method, Or the expensive SCSI hard disk system constructed to the disk array is used. The data transfer rate itself must be improved by leaps and bounds, and the data-transfer protocol itself had to be made highly efficient, and all were what needs hardware expensive and highly efficient, and large-scale, in view of the transfer data rate required for data transfer difficult [ implementation ] or actual.

[0022] Moreover, in the 2nd above-mentioned file access method, in playback read-out, although the file head location on a disk could refer to reading a track number and a sector number on memory, and finding a file head location promptly, when using a file system, access to the FAT chain in the cluster unit in the middle of file data read-out to disk media was not able to be detected. The file system is constituted to the disk device. Here, even if it accessed the memory device which does not support the access protocol processing to a disk with the disk protocol in the middle of the flow of the disk-accessing protocol processing to a disk device, since the memory device was not equipped with the interface hardware which answers the disk-accessing protocol to expect, the transaction error occurred, and was not able to stop and use it. Once it can only investigate the head location of the file data of a disk with a track number and a sector number and the access protocol to a disk was started, it had to wait to complete read-out of a file system. this means continuously the thing with a disk drive which write-in reading appearance is carried out and cannot be used for data transfer processing with a disk-accessing protocol for every predetermined time amount using a general-purpose DOS compatible file system for the image voice data which continues for a long time [ with big data size ].

[0023] Furthermore, the 3rd above-mentioned file access method carries the DOS compatible file system for disks in a memory card. He is trying for this to treat the file format in memory storage like a disk per cluster of two or more sets of the sector which is a logical block about a disk file system. Even if this creates FAT and a directory on memory storage and performs access to FAT and a directory to which timing, it is a file system using there being no discontinuous variation limit of the latency time in the cluster of the continuous arbitration address, and the data access to a logical sector, and does not need advanced OS function to require the secured function of the cache field of the renewal of FAT cluster chain data of a DOS compatible file system for the main memory by the side of a host.

[0024] That is, the file system of this memory storage is not a thing in consideration of the discontinuous time amount generated in order that the head arm section may access the cluster set field which is the logical sector for which the directories and FAT in a disk device have gathered. For this reason, if it is going to write image voice data in a disk device with this file system, the predetermined time which should process write-in read-out of image voice data like a still picture is not decided, but it can be used only for the application which can secure sufficient time amount for write-in read-out. That is, in order to write in, read and make image voice continuation data a disk drive with this file system, in case the file system for these memory storage itself is remade and continuation data are written, a DOS compatible file system is changed, and the new file system which can be accessed in a big access unit is newly built, it prepares separately, and it is necessary to use it, changing this. Construction of a file system is a difficult activity, and it is redundant to hold the file system of the object of the same formation of a DOS compatible file in 2 coincidence, and the decision processing activity moreover properly used according to an application is needed.

[0025] Moreover, in order to use it especially for a personal digital assistant and a noncommercial way, originally the processing with the personal computer which used CPU of a bulk memory and large power consumption has disadvantageously the trouble that frequent access actuation of the data write-in read-out access section will increase power consumption, in respect of power consumption and cost.

[0026] This invention is made in view of such a point, and it aims at offering rotating type disk-media

access interface equipment with little power consumption which made possible write-in read-out of high-speed continuation data, maintaining connectability with the existing host computer.

[0027]

[Means for Solving the Problem] In the disk-media access interface equipment which write data to a disk storage means to have the disk media of a rotating type according to this invention A memory means to read the management information in the management domain where the information about the data arranged on the disk media of said disk storage means is recorded and managed from said disk media, and to hold it, The 1st access means which performs the R/W of said management information which should be performed to said management domain of said disk media to said memory means, The 2nd access means which write data to the data area of said disk media, A memory access limit means to reset the logic State by which it clocks from the time of preparation initiation of the R/W of data to said data area, and said 1st access means accesses to said memory means after predetermined time progress, preparation \*\*\*\*\* -- the disk-media access interface equipment characterized by things is offered.

[0028] According to the above-mentioned configuration, from disk media, the management information about the data recorded on disk media is copied beforehand, and the memory means memorizes it. When accessing R/W of data to a disk storage means, the 1st access means accesses a memory means and R/W is prepared. At this time, a memory access limit means starts a time check, and resets the logic State by which the 1st access means accesses to a memory means after predetermined time progress. Preparation of the R/W to the meantime is completed and data transfer to which access to a disk storage means was attained and which the 2nd access means followed is performed. Therefore, it can consider that the disk media of a memory means and a disk storage means are one continuous logical-block set, and access becomes possible as one disk drive. Moreover, with a disk storage means, access of the head arm to the management domain generated for every data transfer of a cluster unit is lost, and continuation data transfer to the disk storage means of the image voice data using a file system is realized.

[0029]

[Embodiment of the Invention] Drawing 1 is drawing having shown the principle configuration of the disk-media access interface equipment of this invention. Disk-media access interface equipment 1 It is what write data to the disk media of the rotating type of the disk storage means 2. The memory means 3, The 1st access means 4 accessed to this memory means 3, and 2nd access means 5 to access to the disk storage means 2, It has a memory access limit means 6 to restrict the access period to the memory means 3, and a storage maintenance means 7 to make it the content of the memory means 3 not disappear even if current supply is intercepted.

[0030] From disk media, the management information of a management domain which has recorded and managed the information about the data arranged at the disk media of the disk storage means 2 is copied beforehand, and the memory means 3 memorizes it. This memory means 3 was written in in a certain sector unit, and has prepared the memory interface hardware based on the access protocol of the disk interfacing possible read-out and same as the disk media to be used. Here, when writing data to the disk storage means 2, the memory means 3 is accessed with the 1st access means 4, and R/W is prepared. At this time, the memory access limit means 6 starts a time check, and resets the logic State by which the 1st access means accesses to a memory means after predetermined time progress. Preparation of the R/W to the meantime is completed and data transfer to which access to the disk storage means 2 was attained and which the 2nd access means 5 followed is performed. Thereby, it can consider that the disk media of the memory means 3 and the disk storage means 2 are one continuous logical-block set, and access becomes possible as one disk drive. Therefore, with the disk storage means 2, access of the head arm to the management domain generated for every data transfer of a cluster unit is lost, and carrying out data transfer of the image voice data continuously to the disk storage means 2 using a file system is realized. The content of storage of the memory means 3 is returned to the predetermined management domain of the disk media of the disk storage means 2 after data transfer termination at a suitable stage. moreover -- since the management information memorized by the memory means 3 is held as it is even if current supply is intercepted by having had the storage maintenance means 7 -- the disk media of management information -- it can write and the frequency of an abbreviation or return [ write ] can be

reduced for return actuation.

[0031] Next, the case where the image voice data which continued the gestalt of operation of this invention is applied to the hard disk drive which carries out record playback is made into an example, and it explains. Drawing 2 is the block diagram showing a configuration, when [ whole ] it applies to a hard disk drive. In drawing 2, CPU11 is connected to the bridge interface (I/F) circuit 13 through the CPU local bus 12, and this bridge interface circuitry 13 is connected to the host bus 14. Memory (RAM) 15, the image voice data I/O circuit 16, and the ATA host interface circuit 17 are connected to the host bus 14. The ATA host interface circuit 17 is connected to the memory interface controller 18 and data memory 19, and the disk drive (ATA-HDD) 21 of an ATA method is connected through the change circuit 20.

[0032] The bridge interface circuitry 13 builds in address decoding circuit 13a, interruption processing circuit 13b, and weight controller logical circuit 13c. These are generating generation of the device selection signal by address full decoding to the address arrangement which suited each of the various devices by which CPU11 was connected to the host bus 14, the priority decision processing by carrying out vector value assignment of the interrupt request from a device, and the access weight signal for every various devices. in addition, the thing which has external device interrupt-processing circuit 13b and weight controller logical circuit 13c in a chip, and can be controlled by setting out of the control register value by software as a nest application microcomputer -- it has address decoding circuit 13a as a digital logic circuit further, and one IC-ized thing may be used for the CPU local bus 12 and the bridge interface circuitry 13 with CPU11. file system program 15a loads to memory 15 -- having -- \*\*\*\* -- this procedure -- following -- continuation image voice data -- \*\*\*\*\* -- it is-izing and written in. The image voice data I/O circuit 16 is an I/O circuit of the continuation image voice data of fixed frame die length, such as for example, DV method digital video signal, and this should just be the I/O circuit of the continuous image voice data in the block unit in which predetermined time periods, such as a parallel input output circuit of two or more MPEG streams of a variable-length data, became settled as other examples.

[0033] The ATA host interface circuit 17 has address translation circuit 17a, and changes it into two or more ATA device registers of each of the ATA interface built in a disk drive 21 by this address translation circuit 17a in response to the address signal from CPU11 given to the host bus 14, and a control signal at the address signal for accessing according to an individual. Data memory 19 is the data memory for file systems, and it is the memory which memorizes the directory of the DOS compatible file system for disk devices, and FAT information, and responds to the number of the cluster number prepared for FAT addressing the cluster total of the whole user data area of a hard disk.

[0034] The disk drive 21 is equipped with the ATA interface by the side of a device, and data are sent and received with the ATA protocol to the ATA host interface circuit 17. When the address, a control signal, and a data signal are sent and received and there is write-in read-out of FAT data, while the memory interface controller 18 performs transfer of data memory 19 and data with an ATA protocol, it is changed in parallel to this time, turns off the control control signal of a disk drive 21 by the circuit 20, and does not need to make the write-in read-out protocol actuation to a disk drive 21 perform.

[0035] Control timing of an ATA protocol is explained to be explanation of a DOS compatible file system detailed for implementation of this. The RISC (reduced instruction set computer) mold CPU which has the Motorola system big endian addressing methods, such as SH7604 (trademark of Hitachi), is the power-saving type of a nest application and has the internal address and data width of face of a 16-bit integral multiple is used for CPU11 used in the gestalt of this operation. And it writes in the interior, and the CPU command of read-out is repeated by parallel processing per word address, and continuation issuance is carried out and it has the suitable command cache to shorten a processing step required for data transfer with a actual disk device.

[0036] A memory-mapped-I/O (I/O) method is used for the I/O access address system of the CPU and the disk to be used. Although each peripheral device side needs full address decoding compared with an I/O Address method, this method can arrange each device to the arbitration address position of an address space, and its degree of freedom on a system is high.

[0037] Drawing 3 is drawing showing the example of an address arrangement map of CPU. An axis of ordinate is the CPU address, the address field is set up by the data 32 bit address ADDR [31:0], among those ADDR [27:24] uses an address field for four area A0, A1, and A2 and A3 to the address which carries out field division. It is possible to have the address of Address ADDR [23:0] for every field of this, and to specify the existence of the command cache activity with a built-in CPU. And each field is good as assigning the address as a field in which cache assignment is possible, setting up a command cache usable, starting it and using it in a control register bit with a built-in CPU.

[0038] The axis of abscissa of an address map shows data bus width of face, and area A1 and A3 are used for every area, specifying area A0 and A2 as 32-bit width of face, and specifying it as 16-bit width of face.

[0039] In the disk drive 21, since data are WORD data transfer, the address of a register with a built-in drive is assigned to the field of 1 word = 2-byte data width of face. About this, it mentions later.

[0040] The image voice data I/O circuit 16 is also reading by writing in by register setting out. Address arrangement of the I/O register of the image voice data I/O circuit 16 is set up, and the circuit which enableizes read-out write-in access to memory with a built-in circuit in the format that an offset address is added for determining the base address of the memory built in the circuit, and carrying out on the basis of the address is built in by writing predetermined data in this.

[0041] In the gestalt of this operation, CPU11 transmits the data of a predetermined time frame unit on this address arrangement map between each register of the disk drive 21 of area A1, and the memory in the image voice data-address field of the image voice data I/O circuit 16 with a file system program procedure as well as the image voice data transport-agent procedure which carries out data transfer according to the ATA protocol loaded to area A0.

[0042] It is made to generate in the middle of the processing protocol of a hard disk, and the device interrupt request signal INTRQ which requires interruption processing of CPU is incorporated by the CPU side by the vector interruption method by the fetch of the vector number assigned to the hard disk. About this vector number, the auto vector method which CPU makes correspond to the ranking of interruption and has inside, or the external vector method it was made to generate externally is used. About this configuration and actuation, it mentions later.

[0043] Next, the disk drive 21 as a disk device is explained. As a disk device of a disk drive 21, the ATA standard-method hard disk drive known as an E-IDE (Enhanced Intelligent Drive Electronics) drive, for example, the hard disk drive which suits ATA-3 criterion, is used.

[0044] As an example of an engine-performance specification of a hard disk drive, the head arm actuator in which, as for the disk engine speed, per minute 5400 rpm (about 11.1mm/(second) per =1 rotation) and the disk read-write head were carried makes the mean access time of the one direction from a certain truck part to another truck part on a disk about 10 mses. Furthermore, in order to access the target sector from two or more sectors on a certain truck, rotational delay starts, and if it is one-revolution average about 11 mses, 0 second - 11 ms starting, and its average are about 5.5 half mses here. And also before returning from there to the original truck, the same time amount will be taken, and the time amount discontinuity before and behind average about 31 mses will occur in total.

[0045] On the other hand, if it sees from a viewpoint of the data transfer between a disk drive 21 and CPU11, data transfer will be performed through four, disk media, an internal buffer, and the ATA host interface circuit 17. After writing predetermined command code in a register with a built-in drive for the writing to the drive of a command and waiting for the response of a drive in data transfer, the command issuance time amount for starting data transfer takes about 0.3 mses. The data transfer rate capacity of the internal data buffer of a disk drive 21 and the ATA host interface circuit 17 has the engine performance of 33 M bytes/second at the maximum. However, the average continuation data transfer rate between the disk media of a drive and an internal data buffer is about 6 M bytes/second or more - about 12 M bytes/second, namely, the transfer rate of 200 K-400 K bytes /, and 33.3 mses is realized in 1 / 30 seconds.

[0046] As an example of the disc data transfer protocol to be used, the pro GURAMUDO IO (PIO) method and the DMA (Direct Memory Access) transmittal mode of ATA-3 are explained. Ultra About a

DMA transfer method and the future extended method of an ATA method, the transmittal mode of a publication is similarly used according to the extended method after the standard ATA/ATAPI-4 criterion for ANSI (American National Standards Institute).

[0047] Each logical sector location on the disk media of the hard disk drive of ATA-3 method is given as a logic block address (LBA), and is accessed by the logical block. The sequence is mapped by the linear as a logical number. The address of LBA of the given logical sector does not change. The following is always truth.

[0048]

[Equation 1]

$$\text{LBA} = (\text{number of heads} + \text{heads per cylinder} * \text{cylinder}) (\text{number of sectors per track}) + \text{sector 1} \dots (1)$$

The number of heads per cylinder and the number of sectors per track are the values of the logical cylinder head sector (CHS) conversion method currently carried out from the escape of the logic block address LBA introduced by ATA-3 criterion or before here. In addition, in case it transposes to a spare change sector with the interior firmware of a drive about the defective sector generated while in use before an activity in the drive which can be written in as it is logical here, it is the semantics of not changing a logical number.

[0049] Next, the DOS compatible file system loaded on memory 15 is explained. That into which the disk drive was formatted by DOS compatible format software is used. Explaining the hardware which is loaded on memory 15 to a disk drive [ finishing / a format / already ], is made to accelerate the updating actuation of a FAT chain performed in case image voice data is written in and read in succession, when using the DOS compatible file system used by CPU, and realizes write-in real time read-out, and the procedure which uses it has explanation with the gestalt of this operation. A thing [ finishing / a format ] may be used for a disk drive by special Windows-OS. And or you do not load System OS, a division activity is carried out in a logic partition, and suppose it that the logic partition which does not load System OS is used. This is for making cluster chain actuation of a directory and FAT easy to make it only the disk file system which does not use highly efficient OS, and to explain.

[0050] A file system uses a transposition file system for MS-DOS(trademark of Microsoft) FAT16. It has the boot record as file management information, FAT, the directory, and the user data area used for file data R/W.

[0051] In case the continuation data of one file which a file system creates are written over two or more clusters, renewal of FAT data information is performed for every 1 cluster unit.

[0052] A directory shows the initiation entry location of the cluster chain on the disk cluster indicated in FAT with the file name of file data. In addition, FAT16 of a DOS compatible file system as an example of an activity Since the number of entries assigned for every file per one directory is limited to 512 pieces at the maximum in all, When it is necessary to create the number of continuation image voice data files exceeding this to a disk drive Before using it, writing user data in the user data area head part following a directory entry A subdirectory is newly created beforehand, it carries out, and two or more subdirectories (equivalent to creation of a folder on Windows-OS) are created and prepared the increase of the number of directory entries, and if needed [ of being predicted ]. This cancels 512 number limits of entries at the maximum per one individual of a directory entry, the physical arrangement on the disk of file management information is centralized, and it is used, separating a file management information field and a file data field.

[0053] If a subdirectory is created after this writes many file data in a user data area After many file data are written in from the initiation logical sector of the user data area on a disk, a subdirectory is prepared, and if a directory will carry out location management with a cluster number, this location As a result, it becomes physical location distribution of the subdirectory location on a disk. File management information will be arranged in the middle of many continuation data files at disk accessing of R/W of image voice data. There is effectiveness of making it simplifying that decision whether it going into the logical sector field whose directory and subdirectory which are file management information are a predetermined logical block becomes more complicated, at the time of continuation edit.

[0054] Here, a actual hard disk drive is used and the address position in the logical sector on the disk of each part of file-format management information of a DOS compatible file system, a byte count, and the number of clusters of a file system is explained.

[0055] In explanation of the gestalt of this operation, it is required to get to know the size and the location on the directory as file management information and the disk logical sector of FAT. For this reason, an example shows how the parameter of the disk file system which specifies that arrangement is specified.

[0056] As an example of the hard disk drive which carries out record playback of the continuation data of the file system of this example and to be used, each field of the disk in the case of the DOS compatible disk file system in the hard disk drive called 1.28-G byte capacity is explained briefly.

[0057] Drawing 4 is drawing showing the file management information on a DOS compatible file system, and the location of a data area. In the FAT16 disk-file system, as a hard disk file format is shown in drawing 4, the boot record area 31, the FAT field 32, copy field 32a of FAT, the directory entry field 33, and a data area 34 exist, and these are arranged by \*\* and concentric circular from the periphery at inner circumference at disk media. Each logical sector of a data area 34 supports FAT per the two or more clusters. And it is decided by the parameter described by the boot record area 31 and the agreement by FAT16 file system that the logical sector (the byte count) location will be a meaning.

[0058] The example of the disk parameter of description is explained to the boot record area 31 which has distinguished the file management field (32-33) and the data area 34. The boot record area 31 is the range until it begins from a sector 0 and ends by 55hAAh data on a disk. In addition, when this data is returned to 1-word data according to FAT16, being set to AA55h is common knowledge. When writing the 2-byte data on disk media with 1 numbers of words collectively hereafter, it considers as the value returned to WORD data.

[0059] As a parameter of the disk file system described by the boot record area 31 The jump place to IPL (Initial Program Loader) (3 bytes describes), The formatted DOS version (8 bytes), the byte count per 1 sector (2 bytes = 1 word: in the standard hard disk drive for ATA, there is an agreement of 512 bytes per 1 sector), The number of sectors per cluster of a file system (1 byte: when a hard disk drive is 1.28-G byte capacity) The number of sectors used as 64 sectors per one cluster reserved on the boot record (2 bytes = 1 word: here, set the number of sectors to 1), The number of FAT (including [ 1 byte : ] a copy two pieces), the number of entries which has one initiation cluster number for every file which a root directory prepares (2 bytes = 1 word: here, set the number of root directory entries to 512), The number of sectors per disk in case disk media are floppy disks (2 bytes), Media type ID (1 byte), the number of sectors per 1FAT (2 bytes = in the case of 1 word : 1.28GB hard disk drive) The number of sectors per truck whose number of sectors is 153 (2 bytes), the number of heads (2 bytes), the number of hidden sectors (4 bytes), and the number of logical sectors (4byte: -- since it is a mass disk -- a double word --) A 32-bit notation, a physical drive number (1 byte), a system reservation cutting tool (1 byte), Extended boot identification code (1 byte), the volume serial number of a hard disk drive (4 bytes), There are a volume label (11 bytes), a FAT method (8 bytes: here, referred to as "FAT16") which has adopted the file system, and WORD data (1 byte +1 byte) of system reservation.

[0060] The above shows the arrangement of a directory entry which is a numeric parameter required for operation of this invention, arrangement of FAT, and arrangement of a data area. Here, the management information field and data area of a disk file system are specified by the logical sector number. The boot record area 31 is 1 logical sector. Description assignment of the logic sector-address location of copy field 32of boot record area [ of the fundamental parameter of a file system ] 31, FAT field 32, and FAT a, the directory entry field 33, and a data area 34 is carried out with the parameter which shows the size. A file access will acquire this parameter beforehand and will perform it based on this.

[0061] The above example of a parameter to a file system is FAT16. One cluster is 64 sector =32 K byte. The numbers of sectors per FAT are 153 sectors, and the FAT field 32 has copy field 32a of FAT of it and the number of the said sectors. A directory entry location consists of a 307 (= 133h) logical-sector eye from the sum total of copy field 32of boot record area 31, FAT field 32, and FAT a. And the directory entry fields 33 are 32 sectors.

[0062] A data area 34 is from a 339 (= 153h) logical-sector eye. Since the renewal of cluster chain data in copy field 32a of the FAT field 32 and FAT is the need at worst, the data memory 19 for data file systems is made to memorize the logical sector which contains 0h-0000133h at least, i.e., the content of a logic block address, in this drive, and it is used for it as a disk-management-data parameter. More preferably a file system with an ATA protocol The data writing of one cluster to a data area 34, Since renewal of creation of the cluster chain in the directory entry field 33 which is a file system control parameter information field, and the FAT field 32 is performed by data transfer processing issuance of the ATA protocol of another time The content of a logic block address of the disk even containing 0h-0000153h of this disk drive 21 is copied to data memory 19, and the file system management information data of the logical sector so far are used by data memory 19.

[0063] Since the present disk drive 21 is used for data R/W here in the logical sector whose one truck for 1 round is about about 100-160 pieces and it has, 133h as the logical sector number which contains each cluster chain assignment data byte which specifies all the clusters of the FAT field 32 and all the disks in copy field 32a of FAT with the cluster number of 16-bit FAT, Or it becomes the 307 sector number and the 339 sector number, respectively, and 153h is understood that it needs a minute of a physical truck several rounds on a disk.

[0064] According to a file system format, after a series of file data transfer processings end about copy field 32a of FAT, more specifically When it is the thing of the processing format which reads from the FAT field 32 and carries out record processing at copy field 32a of FAT If it can be managed with 154 (=9Ah) logical sector of only the half FAT field 32 in the case of this disk drive 21 and cutting tool data required for the FAT field 32 in this case are considered The cluster number number which doubles the number of 153 (= 99h) sectors of the FAT field 32 of this drive, and can carry out 16-bit WORD assignment by data is 39168. There is  $2499777 / 64 = 39059$  cluster number in specifying the total disk capacity of this disk drive 21 with a cluster number. And one cluster = memory space required when memorizing and using it for this 78336-byte data by 1 word and 2-byte data specification becomes 612K bits at least.

[0065] Moreover, when the address shift processing circuit for a logical sector of a boot record becomes redundancy, in order to specify the logical sector of the direct FAT field 32, in the case of this disk drive 21, the memory space more than the at least 78848-byte data which are a part for the 154 (=9Ah) logical-sector number, and 616 k bit (= 630784 bits) is needed.

[0066] If it is the thing of the processing format which has the need of carrying out R/W processing depending on a file system format in the R/W processing and coincidence to the FAT field 32 about copy field 32a of FAT at copy field 32a of FAT If in the case of this disk drive 21 it becomes required [ 307 (= 133h) sector ] as it is as shown in drawing 4 , and the FAT field 32 and cutting tool data required for the sum total of copy field 32of FAT a are considered in this case It is the FAT field 32 of this disk drive 21, and the number of 307 (= 133h) sectors of copy field 32of FAT a, and memory space required when memorizing and using it for this 157184-byte data becomes 1.2M bit (= 1257182 bits) at least. When using a file system with the need of furthermore also processing a directory simultaneously, it carries out to making the memory space prepared to more than 339 logical sectors according to the above increase.

[0067] In the disk capacity to 2GB which can be treated by LBA of ATA-3 of FAT16 and a disk drive, 2254857830 bytes and a cluster total are about  $4404019 \text{ sectors} / 64 = 68812$  clusters. Since this is the number of WORD data of FAT16, if it specifies by cutting tool data, it will prepare 137624 bytes (= 1100992 bits), i.e., abbreviation 1.05M bit, memory space as an upper limit.

[0068] If a FAT system is formed into 32 bit, further, it will be increased by this assignment number total and an assignment byte count will increase from the grand total of the number of clusters increasing to 32-bit width of face etc.

[0069] Since there is a data access of cluster file system management information when renewal of the cluster chain in FAT of a continuation data file occurs, it is accessed and used with the data-transfer protocol to the standard device for ATA to the direction of the data memory 19 for file systems instead of a disk drive 21.



[0070] As for the directory entry field 33, an initiation cluster number, a file size, etc. of each file are indicated. As it is specifically in internal explanation of the directory entry field 33 of drawing 4, the data which specify the 1st cluster of each file as the column of the 1st cluster with a file name, an extension, an attribute, etc. are written in. The consecutive relation for every cluster is indicated by relation of the cluster number which begins from the entry number "2" of a data area 34 from the entry number of FAT based on this. And finally the cluster chain of a file is completed by EOF (end of file). The file data is indicated by the cluster number set of the data area 34 corresponding to this.

[0071] Here, continuation image voice data writes in and it thinks taking the case of the case where it is read. For example, it is the case of 119.2 K bytes of one-frame image voice data, and when one cluster to be used is 32 K bytes, it becomes 4 cluster = 128 K byte. Here, whenever one-frame image voice data exceeds each of this cluster, renewal of data of the cluster chain in a FAT field and the copy field of FAT is performed. As treatment of the raw data field which remains in the last cluster especially, it performs whether one-frame data are terminated per sector, or within a sector, the head of the data of the following frame is combined and it writes in continuously.

[0072] And if write-in read-out of the image voice data which is continuation of a series of data frames is completed, EOF will be specified as the tail of the cluster chain in a FAT field and the copy field of FAT, and it will end.

[0073] even if reading and the object which performs the renewal of the cluster chain in a FAT field and the copy field of FAT of data on data memory 19 here not through a hard disk drive but through the memory interface controller 18 which access with the data-transfer protocol of the usual disk device write image voice continuation data using the DOS compatible file system which does not have a highly efficient OS, it is for considering as the configuration which it writes [ configuration ] in, and reading appearance carries out [ configuration ] within a disk drive, and does not generate access actuation of the head arm actuator which is a means. For example, after performing renewal of data of the cluster chain in a FAT field and a FAT copy field within data memory within a divisor ms by about 200 - 300 microseconds of command issuance, and the data transfer of 1 sector to memory, it comes after about 11 mses after about 1 turnover time to write continuation data in the logical sector of the consecutiveness location on revolution disk media. When the \*\* 1 frame time of image voice data is the time basis of about 33 mses, there is no generating of the time delay which checks real time nature, and if less than 22 mses are made to complete data transfer in order to access continuously to a hard disk drive and to write in frame data one by one, data transfer of the real time within each frame time between a disk drive 21 and the image voice data I/O circuit 16 will be realized. If it is more than a worst continuation rate 6 M-byte/second, 120 K bytes is transmitted within 20 mses.

[0074] Next, the important section in the gestalt of operation of this invention is explained to a detail. First, it explains from the memory interface controller 18. Drawing 5 is the block diagram showing the configuration of a memory interface controller. The memory interface controller 18 outputs and inputs data, and has the address comparison path change control section 40, and memory the address and the interface controller for control signal generation 50 of memory access by accessing data memory 19 according to an ATA protocol. This memory interface controller 18 is connected to the ATA host interface circuit 17 and the disk drive 21 by an address bus B1, data bus B-2, and the control bus B3. However, the control bus B3 to a disk drive 21 is connected through the change circuit 20. The ATA host interface circuit 17 has address translation circuit 17a and control logical-circuit 17b. The disk drive 21 has the address and disk interfacing controller 21 for control signal generation a of a hard disk drive, disk 21b, the interior MPU of a drive (Micro Processing Unit) that is not illustrated, and the interior firmware of a drive.

[0075] In the ATA host interface circuit 17, the address accessed through the bridge interface circuitry 13 and the host bus 14 from CPU11, respectively is assigned to two or more registers of each installed in the interior of a disk drive 21. The address is changed by address translation circuit 17a, and generates the input address about each device internal register of an ATA interface. Moreover, control logical-circuit 17b controls the data length given for every register to cutting tool length and the word length.

[0076] Drawing 6 is drawing explaining the example of address translation, (A) shows the CPU address



of address decoding origin, and (B) shows the relation between the device input address signal after the address translation which an ATA host interface circuit accesses, and a device internal register.

[0077] Here, there is CPU address assignment of address decoding origin by at least nine word units of 32 bit-address length, as shown in (A). These CPU addresses are changed by address translation circuit 17a of the ATA host interface circuit 17, and the device input address signal after the address translation which the ATA host interface circuit 17 accesses is outputted. as the device input address signal was shown in (B), although the register of a name which carries out reading appearance using the same address, writes in with a function, and is different by the function is specified, the register is the same and is changing the function in read-out and writing to the same register, respectively. In addition, a command block register and two lower registers of eight registers shown in the upside are control block registers.

[0078] Here, when the data value of each standard register for ATA is explained, only a data register is word length data and all the remainder are cutting tool length data. The addresses used for the register assignment which a device has are five address signals of the low active signal of CS0- and CS1-, and the high active signal of DA [2:0], independently, in the case of DMA data transfer, direct port assignment of the data register is carried out by DMACK- instead of these address signals, and, as for this, it carries out data transfer.

[0079] It is used for CS0-=0 addressing eight registers of a command block register. A data register is used for the 16-bit word length data transfer of a drive and a host. An error / feature register is used [ when a device generates a command execution error, ] in order to read the cause, and to set various control functions, such as transfer mode, as a drive as a command parameter.

[0080] A sector count register is used in order to specify the data transfer die length, 1 sector =256 piece WORD data, i.e., a 512-byte unit, as a command parameter.

[0081] LBA [7:0], LBA [15:8], LBA [23:16], and a LBA [27:24] register are used in order to specify the logic block address of data transfer initiation as a command parameter.

[0082] When being used in order to read the condition of a drive, the status/command register is used in order to read each status of the BSY bit under processing, the DRDY bit of the command reception preparation completion of a device, the DRQ bit of the data transfer preparation completion from a device, and the ERR bit of error generating of a command. Moreover, in case it writes in a drive, command code is written in, and it is used in order to start command execution.

[0083] It is used for CS1- specifying at least one of a control block register. When reading the condition of a drive, the alt. NETO status / device control register holds the content of the status register as it is, and may be used instead of a status register. In the case of writing, a device control register is used in order to apply a software reset or to carry out authorization setting out of the interrupt request from a device.

[0084] Although the register of the last of a control block register was used before, not abolishing or using current is advised. As mentioned above, at least nine registers are registers which control a disk drive 21.

[0085] Next, the control bus B3 connected to the ATA host interface circuit 17, an address bus B1, the control signal in data bus B-2, an address signal, and a data signal are explained. From a device side, as for a control signal, each control signal of RESET-, DIOR-, DIOW-, and DMACK- is specified from an IORDY, INTRQ, DMARQ, and host side, each address signal of CS0-, and CS1, -, DA [2:0] is prescribed by the interface of an ATA method, and, as for the address signal, each cutting tool die-length data signal of DD [15:8] and DD [7:0] is specified about the data signal with it.

[0086] Here, actuation of the memory interface controller 18 shown in drawing 5 is explained. A disk drive 21 is an ATA protocol and what functions as a usual ATA method hard disk drive which accesses per sector to a disk by control of the interior MPU of a drive and the interior firmware of a drive, and is written is being used for it through built-in address and disk interfacing controller 21a for control signal generation. Here the address comparison path change control section 40 of the memory interface controller 18 The logic block address of hard disk drive access from the ATA host interface circuit 17 It is the file management parameter area of an above-mentioned disk file system. When performing

logical-block assignment and setting out for each register and sector count register of LBA [27:0], a directory and the field containing FAT In case this is detected and command code is written in, the writing of the command code to a disk drive 21 is made improper by changing the control bus B3 to the ATA method hard disk disk drive 21, and changing and turning off in a circuit 20. It is based on the command code currently written in the command register in the command block register prepared with this into the address and the memory interface controller 50 for control signal generation. The address signal of the logic block data accessed per sector to data memory 19 with the address and the memory interface controller 50 for control signal generation is generated. The data transfer of the sector unit specified with the predetermined sector count register is made to complete, and the renewal of data of the cluster chain in a FAT field and the copy field of FAT is terminated. In this case, according to the predetermined ATA protocol mentioned later, interruption processing of the interrupt request signal INTRQ is generated. When data transfer with a disk device is completed, the whole is made to reset and the data transfer of the following cluster is made to newly start.

[0087] Next, the memory interface controller 18 explains the housekeeping operation which makes data memory 19 memorize the content of the management information parameter of a file system. The address and the memory interface controller 50 for control signal generation of the memory interface controller 18 By the address translation signal input in the alternative pathway from another address translation circuit assigned to the CPU address map which is not illustrated Set up the functional change register bit which does not illustrate this, either, and the address signal input from the ATA host interface circuit 17 is disabled. The data of the management parameter area which includes the directory entry field of the file system of a disk drive 21, a FAT field, and the copy field of FAT beforehand are copied to data memory 19. Then, the address signal input from the ATA host interface circuit 17 is enabled by writing in the functional change register which the above does not illustrate.

[0088] A disk file system compatible with DOS with an ATA protocol Since data writing of one cluster to a data area 34 and renewal of creation of the cluster chain in the directory entry field 33 which is a file system control parameter information field, and the FAT field 32 are performed by data transfer processing issuance of the ATA protocol of another circuit The content of the logic block address of a disk including the range to 0h-0000153h of this disk drive 21 is copied to data memory 19, and they are used, making data memory 19 memorize the file system management information data of the logical sector so far.

[0089] Next, the address and the memory interface controller 50 for control signal generation in the memory interface controller 18 are explained. Drawing 7 is the block diagram showing the internal configuration of the address and the memory interface controller for control signal generation. The address and the memory interface controller 50 for control signal generation have the alt. NETO status / device control register M1, the status/command register M2, the sector count register M3, the logic block-address register M4, the sector-address accumulating-totals adder circuit M5, the word unit address generation circuit M6, the memory INTRQ signal generating circuit M7, the reset signal generating circuit M8, and the address-generation circuit M9.

[0090] The alt. NETO status / device control register M1 copies the content of the status / the command register M2 on the occasion of reading, prepares reading, and writes in the interrupt request authorization setting-out bit of a software reset or a device on the occasion of writing.

[0091] The status / command register M2 carries out enabling-ization of a memory R/W control signal by detection of the write-in command code to a command register, and sets each condition of the data transfer completion status of the command execution ready state and the sector number of counts as a status register.

[0092] The sector count register M3 sets up the sector transfer number of counts in a LBA logical sector unit. The logic block-address register M4 specifies the logical sector transfer starting position of the logic block address LBA [27:0] by four, LBA [27:24], LBA [23:16], LBA [15:8], and LBA [7:0]. Among these, the high order bit of the cutting tool length register containing LBA [27:24] contains the LBA bit which shows access by the logic block address, and the DEV bit which performs device selection of a device 0 or a device 1, and calls this cutting tool length register a device / head register.

[0093] The sector-address accumulating-totals adder circuit M5 inputs the number of sector count setting out with a signal MC 1 from the sector count register M3. A sector transfer initiation logic block-address location is inputted with a signal MC 2 from the LBA [27:0] register M4. The data transfer start signal for every sector unit is inputted with a signal MC 3 from the word unit address generation circuit M6 in each sector within the limits equivalent to the address generation circuit by the data register. One sector for every sector transfer of the sector number of counts = It is what is outputted to the address-generation circuit M9 of the word unit to add a 512-byte accumulating-totals addition unit every per 512 bytes. The read-ahead sector counter M51 of numbers-of-words 256 (= 100h) individual per 1 sector is built in.

[0094] The word unit address generation circuit M6 carries out sequential generating of the address of a word unit to 0-255 for every word unit data transfer in one logical sector each within the limits performed to every write-in signal IOW- of a control bus B3, or read-out signal IOR-, and is equivalent to the address generation circuit of the data register of an ATA device. in addition, that it is equivalent to the address generation circuit of a data register here Whenever it gives read-out write-in control signals, such as IOR- and IOW-, by CS0=0, CS1=1, and DA[2:0]=0h It is the thing of the register to which the sector count register M3 carries out count part data transfer of a sector count of the 16-bit WORD data by 1 sector =256 word unit one by one from the appointed initiation logic block address by LBA [27:0]. The address of a word unit is generated one by one by repeating and giving IOR- and IOW- by this CS0-, and CS1-, -, DA [2:0]. Consequently, the word unit address generation circuit M6 where data memory 19 outputs and inputs WORD data to data bus B-2 is because access actuation of a data register circuit is performed.

[0095] The address-generation circuit M9 Enable input MC11 of the predetermined logic block-address range included in the management information parameter of the file system of LBA [27:0] from the logic State control circuit which the address comparison path change control section 40 mentions later having been specified Win popularity and the memory chip selection MC 6 to data memory 19 is outputted. The signal input of the memory word address signal MC 5 within 1 logical sector unit from the word unit address generation circuit M6 in each sector within the limits equivalent to the address generation circuit of a data register, Every sector one sector from the sector-address accumulating-totals adder circuit M5 = in response to the input of the accumulating-totals addition memory address signal MC 4 in a 512-byte unit, the word address MC 7 to actual memory is generated.

[0096] Read-out of PIO based on the command code by which the memory INTRQ signal generating circuit M7 was written in the status / command register M2, PIO writing and each data transfer mode setting of a DMA transfer are chosen. In the case of the read-out command of PIO, in the case of the data read-out preparation completion for every sector from the address-generation circuit M9, in the case of generating or other write-in read-out commands Whenever it performs each sector transfer in PIO writing, it adds to generating and a pan. Also after all data transfer is completed in PIO writing, DMA read-out, and DMA writing The signal MC 12 which carries out the detection output of having generated the memory INTRQ signal MC 13 in response to the counter address detecting signal of data transfer completion, and the status / command register M2 having read further, and having received the signal is inputted, and the memory INTRQ signal MC 13 is cleared.

[0097] The reset signal generating circuit M8 of a logic State control circuit It is the state machine circuit by which State progress is carried out based on clock synchronization timing. The signal MC 9 from the address-generation circuit M9 which is data transfer completion of memory read-out writing, and the signal MC 10 from the memory INTRQ signal generating circuit M7 are received. And in response to the reading appearance necropsy appearance signal MC 12 of the status / command register M2 which clears the memory INTRQ signal MC 13 once generated, logic State control circuit reset-signal MC14 is generated.

[0098] Here, in case the device / head register containing LBA [27:24] of the LBA [27:0] registers M4 inside the address and the memory interface controller 50 for control signal generation receive device selection processing, it receives writing, but the status / command register M2 which should reflect this result answer read-out of register data with a high impedance according to a default initial state, in order

to prevent the data collision with the status/command register of the disk drive 21 interior. this access disable condition is enableized by the change of the control line by the below-mentioned logic block address, and the data line, and is again processed by the disable by return processing of a change of a control line and the data line performed in response to the fact that the status / command register M2 after data transfer processing carry out reading appearance and is processed.

[0099] in order to carry out reading appearance and to carry out simulation of the R/W data transfer in a sector unit to writing in part by data memory 19 with a disk drive 21, while the address bus B1 after [ the logical sector unit to data memory 19 ] address translation was carried out by the ATA host interface circuit 17, data bus B-2, and a control bus B3 are inputted into the address and the memory interface controller 50 for control signal generation, data bus B-2 and a control bus B3 are inputted into data memory 19.

[0100] The address-generation circuit M9 from the register which specifies LBA [27:0] The logical block by which a data access is carried out The inside of the management information parameter of a file system, The distinction control signal which has it distinguished that it is in the address range which contains the cluster chain in a FAT field at least is inputted from a logic State control circuit. Generate memory chip select signal MC6, and input into memory, and access data size is specified from an address-generation circuit with the LBA [27:0] register and sector count register of 1 logical-sector die-length unit. The word address signal MC 7 for performing R/W data transfer by the word unit is generated.

[0101] Data memory 19 reads in response to the word address signal MC 7 which specifies the memory part read [ is accessed and ] and written in in chip select signal MC6 of the data memory 19 generated by the address and the memory interface controller 50 for control signal generation, and the logical sector unit which is a logical block by writing in per 1 sector die-length = 256-word = 512 bytes.

[0102] In this case, even if write-in enabling [ which is the device property of data memory 19 / of a control signal ], and a read-out enable signal are emitted and inputted, if chip select signal MC6 is not inputted, it uses that the content of data of data memory 19 is protected.

[0103] Above, the memory data of the management information parameter of the file system which memory is accessed for every sector-address unit, and is memorized in it which is a logic block address are written.

[0104] Next, the configuration of the address comparison path change control section 40 of the memory interface controller 18 is explained. Drawing 8 is drawing showing the configuration of an address comparison path change control section. This address comparison path change control section 40 The sector count register setting-operation detecting element 41 of the sector count register M3, At least, when 1h-133h are the values which are the logic block-address value range of the logical sector of FAT / directory field in this drive and which were set as the LBA [27:0] register M4 as a command parameter The LBA register set point range detecting element 42 which detects this, and the command code write-in actuation detecting element 43 which detects that the command for data transfer to the status / command register M2 was written in, It has the reset section 44 by detection and the logic State control block 45 of the disk interrupt request signal INTRQ of disk accessing. This logic State control block 45 It has the logic State control circuit 46, the after [ the waiting for the cycle time ] reset circuit 47, and the switch 48 that prevents the input to the logic State signal of the reset signal.

[0105] In both the logic State control block 45, the logic State control circuit 46 generates memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified in response to the detecting signal from the sector count register setting-operation detecting element 41, and the detecting signal from the LBA register set point range detecting element 42.

[0106] And the logic State control circuit 46 makes the after [ the waiting for the cycle time ] reset circuit 47 start the time check of the latency time. The after [ the waiting for the cycle time ] reset circuit 47 resets the generating condition of memory address generation enable signal MC11 which shows that the predetermined logic block-address range of the logic State control circuit 46 was specified after the cycle-time waiting for less than about 400ns. Moreover, if a set input occurs from the command code

write-in actuation detecting element 43 during this period, a switch 48 serves as off setting out, and that OFF state will be henceforth maintained until logic State control circuit reset-signal MC14 is separately inputted from the address and the memory interface controller 50 for control signal generation and the logic State control circuit 46 is reset. Furthermore, it is good also as reset input of the logic State control circuit 46 by the input of the disk interrupt request signal INTRQ of a disk drive 21. And the reset signal of a detection condition is outputted to a carrier beam case, and reset signals, such as the disk interrupt request signal INTRQ from a disk drive 21, are made to reset to it to the sector count register setting-operation detecting element 41 and the LBA register set point range detecting element 42.

[0107] next, the above hardware is used, file-izing carries out reading appearance of each frame image voice data based on processing flow AS of data transfer, and a file system from drive initial setting at the time of hard disk drive starting by program-control processing of CPU11, and it is based on write-in processing flow BS and an ATA protocol -- PIO data reading appearance carries out and the data-transfer processing flow CSD in processing flow CSR, processing flow CSW in a PIO data write-in protocol, and the DMA transfer protocol in a protocol explains. In addition, by the DMA transfer, by reading except the read-out write-in control to the dataport of command code and the host CPU, since both writing is the same protocol processings, it is explained together.

[0108] First, processing flow AS of data transfer is explained from drive initial setting at the time of hard disk drive starting. Drawing 9 is a flow chart which shows the flow of processing of data transfer from drive initial setting at the time of hard disk drive starting. As initial setting of a hard disk drive, device selection processing (step AS 1), device functional distinction processing (step AS 2), and device functional setting-out processing (step AS 3) are performed one by one.

[0109] In device selection processing of a step AS 1, it is checked that device selection command code used as a device 0 (or device 1) to the device / head register containing LBA [27:24] was written in through the ATA host interface circuit 17, the status register was read, and the selection preparations of the device have been made. The command at this time is "INITIALIZE DEVICE PARAMETERS (91h)", when treating the whole disk device as a device of a logic block address. In addition, when specifying a disk drive with a cylinder / head / sector (CHS), the command of "EXECUTE DEVICE DIAGNOSTIC (90h)" is used. There is no WORD data transfer with a disk in these.

[0110] Subsequently, in device functional distinction processing of a step AS 2, a command parameter may be written in to a command block register, and device functional distinction may be performed. The command in this case is "IDENTIFY DEVICE (ECh)", and reads part 256 words for 1 sector as data with which the drive function is described by the PIO data read-out processing from a disk drive. This processing is omissible if the drive function is known beforehand.

[0111] Subsequently, in device functional setting-out processing of a step AS 3, the command parameter to a command block register and the writing of command code are performed. The command in this case is "SET FEATURES (EFh)." There is no data transfer in these.

[0112] The above is pretreatment, and since especially this carries out register assignment and does not carry out data transfer of the logical sector on a disk for the memory interface controller 18, a response is not generated here. For this reason, the ATA protocol containing INTRQ in the case of the functional setting-out processing to a disk drive 21 is not blocked.

[0113] Termination of initial setting of the above hard disk drive performs [ next ] device data transfer (R/W) processing (step AS 4). This is a data-transfer protocol and performs data transfer using each command of read-out write-in systems, such as "READ SECTORS (20h)", "WRITE SECTORS (30h)", "READ DMA (E8h)", and "WRITE DMA (CAh) etc.", based on transfer mode, a drive specification, etc. which were acquired by the device functional distinction result.

[0114] These commands are used, a boot record area, when accessing the data of the copy field of FAT, and a directory entry field if needed for a file system further, and when accessing the data of a data area between the usual hard disks further through the memory interface controller 18 the data of the FAT field in data memory 19, and on account of hardware.

[0115] In addition, device data transfer (R/W) processing AS 4 is performed if needed for data transfer about the initialization process or below from a step AS 1 to a step AS 3.

[0116] Next, based on a file system, the whole set of each frame image voice data is formed into 1 file as continuation data in 1 file, and flow BS of processing which performs read-out writing is explained.

[0117] Drawing 10 is a flow chart which shows the flow of the processing which file-izes each frame image voice data which continues as one file data, reads it, and writes it in with a file system.

[0118] continuous image voice data carries out reading appearance, and the parameter setup of a disk file system is performed in the file system program on memory 15 in advance of writing (step BS 1). The data of the FAT field where a disk parameter is acquired in this by data read-out of a boot record area, or the management information parameter of the file system on a disk is recorded on it by the prior parameter setup in program parameter etc., and a directory entry field are acquired.

[0119] moreover, it is necessary to transmit to data memory 19 here by the address decoder through another address which is made to turn off a memory interface function, once carries out reading appearance of the data of the copy field of FAT, and a directory entry field the data of the boot record area of a disk drive 21, and a FAT field, and if needed for a file system, and is not illustrated by the memory interface internal register clearance which does not illustrate this, either through the address decoder which the above-mentioned does not illustrate And after that, the internal register which the memory interface controller 18 does not illustrate is set up, and a memory interface function is enabled. After this processing, data memory 19 holds the file management information data, especially FAT data of a disk file system, and a disk drive 21 uses the other data area etc.

[0120] Next, parameter setup processing by the program parameter of one-frame image voice data transfer size is performed on a program (step BS 2). Thereby, the activity cluster number of the one-frame unit of this image voice data is specified.

[0121] Next, in read-out of the entry (initiation cluster number) of the designated file from a directory, or creation of a new file, write-in processing is performed (step BS 3). Here, processing which acquires the file size described by the directory entry field, and acquires the size of the activity data of the last cluster may be performed. With the specification of a file system, this processing carries out from a disk drive 21, or is performed from data memory 19 through the memory interface controller 18.

[0122] Next, write-in processing is performed in the case of read-out of the start point in the cluster chain in the specified FAT field, or data writing (step BS 4). Here, an ATA protocol performs data transfer of the cluster chain of data memory 19 and a FAT field through the memory interface controller 18. Data transfer processing with data memory 19 is processed by the high speed as compared with a disk drive 21.

[0123] Next, data transfer processing in a cluster unit is performed (step BS 5). Here, R/W processing to the 16-bit WORD width-of-face data register of the disk drive 21 interior is performed for the image voice data which is continuation data between disk drives 21. Here, it carries out by repeating data transfer in a sector unit from the data transfer initiation logic block-address location which is a logical sector location on the disk specified as the LBA [27:0] command parameter in the sector data (= 512-byte, 256 words) number specified with the number of logical sectors, and reads per cluster of two or more logical sector set by this processing, or write-in processing is performed.

[0124] Moreover, in the last cluster, the number of the remaining data of the data size of the above-mentioned directory entry directions is transmitted per sector. In addition, if the data transfer of a sector unit performs data transfer to the middle of each sector, since processing by which format data are automatically written after that in the remaining data areas of a sector, and error correcting code ECC by the ECC (Error Correcting Code) polynomial is written in a tail to the whole data area of 1 sector is performed in the disk drive 21, it is unnecessary in especially processing of the specific code for the remaining data division in each sector write-in [ additional ].

[0125] Furthermore, suppose that it is the data transfer of the beginning of the following 1 image voice frame after the data transfer of a series of 1 image voice frames here from 1 sector of the degree corresponding to the physical data sector on the disk within 1 cluster which is 1 logical block of a file system. Or it is good also as using the sector of the beginning of the one following cluster as another art here. Although un-using [ of the remaining sector in each cluster ] it arises each time and waste occurs in disk capacity, the file system processing treated per cluster becomes easy.

[0126] Next, decision processing of whether R/W of the number of assignment clusters was completed is performed (step BS 6). The number of assignment clusters is the number of assignment clusters which was specified at a step BS 2 and which corresponds per one frame of image voice data. By this decision processing, if the transfer of the number of clusters is not yet completed, the next cluster number of the cluster chain in FAT will be read by No decision (step BS 7). Since a logic block address is within the limits of FAT, through the memory interface controller 18, the data access of this processing is carried out to data memory 19, and it is performed to it.

[0127] Then, a step BS 5 performs the 16-bit WORD data transfer for every sector of 1 cluster unit between disk drives. It carries out until it completes the R/W for several assignment cluster minutes of the continuation data which are equivalent to one-frame image voice data in this, and Yes decision is made by the step BS 6.

[0128] Next, the completion processing of an one image voice data transfer and the following image voice data transfer preliminary treatment are performed (step BS 8). Processing which makes it synchronize with the frame time which, as for this, the image voice data I/O circuit 16 has two bank memory in the interior, and image voice data has, it changes [ processing ] by turns for every frame time, one of the two is used [ processing ] for data transfer buffer memory with a disk drive 21, and one of the two is already used [ processing ] for image voice data I/O transfer buffer memory with external image voice data, and carries out the completion of a transfer of each data transfer within one image each voice frame time may be performed.

[0129] With in this case, the completion processing of a transfer at the above-mentioned step BS 8 and a transfer preliminary treatment After reading the image voice data of one frame from internal memory of one of the two, writing in a disk drive 21 and carrying out data transfer completion Next, the thing for which it changes to the internal memory of another side, the image voice data of one frame currently inputted and prepared from the outside is read, it writes in a disk drive 21, and data transfer preparations are made, Or after finishing writing in the image voice data of one frame read from the disk drive 21 to internal memory of the one of the two, it changes to the internal memory of another side. Next, it is writing in and preparing the one-frame data by which reading appearance's is carried out for this internal memory from a disk drive 21.

[0130] Transfer of all continuous image voice data and decision processing of whether R/W was completed are performed in a degree (step BS 9). This is decision processing of whether the transfer of one file which consists of frame data which are realized with a majority of each continuous frames, and with which image voice data continues was completed. For example, in the case of 1-minute die length, if it becomes when one frame is the image voice data for 1 / 30 seconds, one file will serve as continuation data of 108000 frames by 1800 frames and 1-hour die length. In case the continuation image voice data inputted from the image voice data I/O circuit 16 is written in a disk drive 21, it is equivalent to the transfer of one file data having been completed that one program of image voice and 1 seriography edit shot were completed or to judge whether read-out of one file of the continuation image voice data with which it was file-ized in the disk drive was completed.

[0131] Here, when decision that the transfer of one file data is not completed is acquired, it becomes decision processing of No and processing which sets up cluster number part addition read-out or the additional writing which the disk drive 21 of one frame as follows in program parameter follows is performed (step BS 10). And processing which reads or writes in the next cluster number of the cluster chain in FAT at a step BS 7 is performed to the memory interface controller 18, and data transfer processing in a cluster unit is again performed to a disk drive 21 at a step BS 5.

[0132] In addition, when a transfer of one file data is completed and it becomes decision processing of Yes, it means that transfer processing of one file data was completed between disk drives 21 in decision processing of a step BS 9.

[0133] Although transfer processing of one file of the file system itself is finished above The memory address decoder of another address which the above-mentioned does not illustrate is minded as after treatment here. After making a memory interface function turn off by clearing the functional setting-out register which is prepared in the interior of the memory interface controller 18 and which does not



illustrate this, either, Reading appearance has once been carried out to data memory 19 before file data transfer initiation through the memory address decoder of this another address that is not illustrated. The boot record with which the data of the cluster chain in FAT were updated by processing actuation of the disk file system on memory 15 during the file transfer, The copy of FAT and directory data are returned to a boot record area, a FAT field, etc. to which a disk drive 21 corresponds if needed for the specification of FAT data and a file system. If this after treatment is performed, record-keeping of the disk drive 21 will be carried out with a data area etc. on a disk in the file management information data, especially the updated FAT data of a disk file system. Moreover, this after treatment may not be performed, but the disk drive 21 of \*\* may not be a removable disk type, and as long as data memory 19 is backed up by the cell or will use the memory device as data memory 19 which can write in a non-volatile, you may remain as it is, without returning the data updated by the disk drive 21.

[0134] In a transfer of the above one file data the processing step BS 7 and the processing step BS 10 In case continuation image voice data is written in the logical sector which is a continuous logic block address In the logic block address of predetermined within the limits of the logical sector on the disk of a disk drive 21 The head arm section is accessed. About 30 mses which are the time amount discontinuity of the sum total of the access time for making it return to the original location on a disk from the time amount which carries out disk rotational delay of the target logical sector, and it, and writing continuation image voice data in the following logical sector or following cluster in 1 file, and rotational delay do not occur. Since only 10 mses that are the time amount discontinuity for performing rotational delay of disk 1 revolution instead for the data transfer from a following logical sector or a following cluster are required, Data transfer processing can be made to complete by the remaining 23 mses, and the real time image voice data transfer which uses a file system is realized.

[0135] In addition, as pretreatment which transmits and prepares the cluster chain data of a FAT field for data memory 19, and after treatment although [ especially / above-mentioned processing flow explanation ] accessed to data memory 19 through the address decoding circuit which is not illustrated separately Without using a special address decoding circuit, as the below-mentioned protocol is shown (Not being next 400ns time amount waiting, after writing in command code) By preparing the processing which carries out waiting for time amount at least 400ns or more after setting a command parameter as a LBA [27:0] register before writing command code in a command register Make the access path change to a memory interface reset automatically, and a file system management information parameter area including the FAT field in a disk drive 21 is accessed. The data is made to once store in memory 15. Similarly a logic block address is shortly set as the LBA [27:0] register of a command parameter for the data. If command code is written in within 400ns which is the latency time of the after [ the waiting for the cycle time ] reset circuit 47, the data memory 19 for file systems can be accessed through the memory interface controller 18. since -- It is good also as transmitting the data of a FAT field from memory 15. In this case, a hardware configuration becomes simpler although protocol timing and a data transfer path become complicated.

[0136] Here, data transfer processing with the data memory 19 performed through a disk drive 21 and the memory interface controller 18 is explained. The memory interface controller 18 and a disk drive 21 are distinguished using performing latency-time processing for about 400ns which is the fixed processing latency time until the set point is decided inside, and data transfer processing is made to perform with the gestalt of this operation, according to an ATA protocol, after command parameter setting to the register which a drive generally has in the processing.

[0137] Although a well-known ATA protocol performs by ATA-4 criterion to a disk drive 21, since a data-transfer protocol changes the data transfer point and performs data transfer of the renewal of a cluster chain of FAT to data memory 19 through the memory interface controller 18 especially for a data update process here of the cluster chain in FAT when the transfer initiation logic block-address value of a LBA [27:0] register is within the limits which is 0h-133h, it is explained focusing on the flow of this processing below. In addition, although a data-transfer protocol is the case of PIO or a DMA transfer protocol, in the case of a UltraDMA transfer protocol and the data-transfer protocol based on the escape of future ATA, it is possible to perform this protocol processing similarly according to the transfer



protocol.

[0138] Next, the procedure CSR which reads data from the device by the side of a host bus (CPU) with a PIO transfer protocol is explained. Drawing 11 is a flow chart which shows the flow of the PIO data read-out processing from the device by the side of a host bus.

[0139] First, the write-in processing to the device / head register containing LBA [27:24] performs device selection processing of whether a disk drive 21 is a device 0 or to be a device 1 (step CSR 1).

[0140] Subsequently, read-out processing of a status register is performed (step CSR 2). This is for judging that the internal register of a disk drive 21 was set to BSY=0 and DRQ=0, and reception of above-mentioned device selection processing was completed. In addition, although the device / head register of the cutting tool length register which contains LBA [27:24] in the LBA [27:0] register M4 inside the memory interface controller 18 at this time have received the writing for device selection, the status / command register M2 which should reflect that condition answer register data read-out with an output high impedance according to an initial state, in order to prevent the data collision with the internal status / command register of a disk drive 21. This access disable condition is enableized by the change of the control line by the below-mentioned logic block address, and the data line, and is again processed by the return of a change of a control line and the data line at a disable.

[0141] Subsequently, a command parameter is set to a register (step CSR 3). By this setting-out processing, the number of sector transfers is set as the sector count register M3, and the command parameter value of a logic block address is set as the LBA [27:0] register M4 synthesizing each register of LBA [27:24], LBA [23:16], LBA [15:8], and LBA [7:0].

[0142] When the logic State control circuit 46 in the memory interface controller 18 distinguishes that that transfer initiation set point is in the address range which contains the cluster chain in the FAT field by the file system in a disk drive 21 here (in this case,  $\leq 133h$ ), change processing of the disk drive 21 by the set point of a logic block address and the control line by the side of a memory interface, and the data line is performed in it (step CSR 4).

[0143] In change processing here, memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified from the logic State control circuit 46 is inputted into the address and the memory interface controller 50 for control signal generation, and memory address generation preparations are made, and the change circuit 20 to the disk drive 21 of a control bus B3 is turned off.

[0144] Subsequently, a host bus side performs setting-out processing to the command register of command code (step CSR 5). Here, although it is uninfluential in an ATA protocol, if 400ns or more host bus side will wait for processing by the time it performs setting-out processing at this step CSR 5, in a step CSR 4, change processing of the control line by predetermined range detection of a logic block address and the data line will return by actuation of the after [ the waiting for the cycle time ] reset circuit 47, a control line and the data line will return to a disk drive 21 side, and the activity of the address and the memory interface controller 50 for control signal generation will be disabled. The processing which changes this processing latency time can be used in case the access place of access to the data of a FAT field with the above-mentioned disk and access to the data memory 19 for file systems is changed.

[0145] Processing of an ATA-4 standard protocol for which it waits for 400ns is performed following setting-out processing of the command code of a step CSR 5 (step CSR 6). And generating processing of a memory INTRQ signal is made from the memory interface controller 18 (step CSR 7).

[0146] A carrier beam host bus side reads the status register in memory for this, and a device side performs check processing of a data transfer preparation completion as BSY=0 and DRQ=1 (step CSR 8). Or the waiting processing by read-out loop-formation processing of an alt. NETO status register may be repeated here until it acquires Yes decision of a data transfer preparation completion.

[0147] In the status register M2 of a data transfer preparation completion, clear processing of the memory INTRQ generating is automatically carried out in the memory interface controller 18 interior by carrying out reading appearance of the established state of BSY=0 and DRQ=1 (step CSR 9).

[0148] If this interruption processing is completed, a host bus side will perform WORD data transfer

processing by read-out access to the word unit address generation circuit M6 which is equivalent to the address generation circuit of a data register through the memory interface controller 18 (CSR10).

[0149] Next, transfer end-of-block decision processing is performed (step CSR 11). Here, when not ending the count of word transfer of 1 sector data which are 1 transfer block when it was made to return to a step CSR 10 in No decision processing, the memory interface controller 18 repeats the WORD data transfer processing from a data register.

[0150] When a Yes judgment which the 512-byte transfer completed by 1 sector =256 time word transfer with the transfer end-of-block decision processing step CSR 11 is made, similarly decision processing of all the following data transfer termination is performed in the memory interface controller 18 interior (step CSR 12).

[0151] In all the data transfer termination decision processing steps CSR 12, if it judges that the number of sector transfers beforehand set as the sector count register is not reached, the memory interface controller 18 will repeat performing the processing step CSR 7 which makes a No judgment, has returned and sends out a memory INTRQ interrupt request signal to a host by loop-formation processing, and will continue it to the repeat of WORD data transfer processing of the following sector.

[0152] When it is judged as data transfer termination from the predetermined number of a sector count register, read-out processing of the status register M2 in the memory interface controller 18 is continuously performed by Yes decision processing (step CSR 13).

[0153] In response, the logic State control circuit 46 in the memory interface controller 18 makes improper the output of memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified, processing to which change processing of a control line and the data line is returned is performed in connection with this, and it is made to return to the hardware state in which the usual data transfer with a disk drive 21 is possible (step CSR 14).

[0154] The above is explanation of PIO data read-out transfer processing flow. Next, the procedure CSW which writes in data with a PIO transfer protocol from the device by the side of a host bus is explained.

[0155] Drawing 12 is a flow chart which shows the flow of the PIO data write-in processing from the device by the side of a host bus. The write-in processing to a device control register performs selection processing of the device 0 of a disk drive 21 or a device 1 (step CSW 1).

[0156] Subsequently, read-out processing of a status register is performed (step CSW 2). This is for judging that the internal register of a disk drive 21 was set to BSY=0 and DRQ=0, and reception of above-mentioned device selection processing was completed. In addition, although the device / head register of the cutting tool length register which contains LBA [27:24] of the LBA [27:0] registers M4 inside the memory interface controller 18 at this time have received the writing for device selection, the status / command register M2 which should reflect that condition answer register data read-out with an output high impedance according to an initial state, in order to prevent the data collision with the internal status / command register of a disk drive 21. This access disable condition is enableized by the change of the control line by the below-mentioned logic block address, and the data line, and is again processed by the return of a change of a control line and the data line at a disable.

[0157] Subsequently, a command parameter is set to a register (step CSW 3). By this setting-out processing, the number of sector transfers is set to the sector count register M3, and the command parameter value of a logic block address is set to the LBA [27:0] register M4 synthesizing each register of LBA [27:24], LBA [23:16], LBA [15:8], and LBA [7:0].

[0158] When the logic State control circuit 46 in the memory interface controller 18 distinguishes that that transfer initiation set point is in the address range which contains the cluster chain in FAT by the file system in a disk drive 21 here (in this case, <=133h), change processing of the disk drive 21 by the set point of a logic block address, the control line by the side of a memory interface, and the data line is performed in it (step CSW 4).

[0159] In change processing here, memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified from the logic State control circuit 46 is outputted, this is inputted into the address and the memory interface controller 50 for control signal

generation, and preparation of memory address generation is made, and the change circuit 20 to the disk drive 21 of a control bus B3 is turned off.

[0160] Subsequently, a host bus side performs setting-out processing to the command register of PIO write-in system command code (step CSW 5). Here, although it is uninfluential in an ATA protocol, if 400ns or more host bus side will wait for processing by the time it performs this processing step CSW 5, in the processing step CSW 4, change processing of the control line by predetermined range detection of a logic block address and the data line will return by actuation of the after [ the waiting for the cycle time ] reset circuit 47, a control line and the data line will return to a disk drive 21 side, and the activity of the address and the memory interface controller 50 for control signal generation will be disabled.

[0161] Processing of an ATA-4 standard protocol for which it waits for 400ns is performed following setting-out processing of the command code of a step CSW 5 (step CSW 6). A host side continues at this and performs decision processing of whether a device side shows a data transfer preparation completion as BSY=0 and DRQ=1 with the status register in memory (step CSW 7). This repeats processing by the loop formation until it acquires Yes decision of a data transfer preparation completion.

[0162] And if BSY=0 of the status register in the memory which shows a data transfer preparation completion, and DRQ=1 are checked, write-in control signal access to the word unit address generation circuit M6 which is continuously equivalent to the address generation circuit of a data register through the memory interface controller 18 will perform WORD data transfer processing (step CSW 8).

[0163] Next, transfer end-of-block decision processing is performed (step CSW 9). When not ending by this decision processing, 1 sector =256 time WORD data, i.e., 512-byte data transfer, the WORD data transfer processing step CSW 8 is repeated by No decision processing.

[0164] If a Yes judgment which the 512-byte transfer ended by 1 sector =256 time WORD data transfer with the transfer end-of-block decision processing step CSW 9 is made within the memory interface controller 18, the memory interface controller 18 will perform processing which sends out a memory INTRQ signal to CPU by the side of a host bus (step CSW 10).

[0165] The carrier beam CPU answers [ this ] a memory interface interrupt request by performing read-out processing in the status register in the memory interface controller 18 (step CSW 11).

[0166] Withdrawal processing of a memory INTRQ signal in which the carrier beam memory interface controller 18 carries out the interrupt request of this to CPU in response to read-out processing of a status register is performed (step CSW 12).

[0167] The memory interface controller 18 continues at the withdrawal processing step CSW 12 of a memory INTRQ signal, and performs all data transfer termination decision processings (step CSW 13). In this decision processing, if it judges that the number of sector transfers beforehand set as the sector count register is not reached, the memory interface controller 18 will continue to the WORD data transfer processing step CSW 8 which makes a No judgment, has returned and performs data transfer of the following sector by the word unit, and will repeat the WORD data transfer of the following sector succeedingly.

[0168] In all the data transfer termination decision processing steps CSR 13, if it judges that the memory interface controller 18 carried out all data transfer termination, generating processing of a memory INTRQ signal will be made (step CSW 14).

[0169] Subsequently, CPU performs processing which reads the status register M2 of BSY=0 and DRQ=0 condition to the status register M2 in the memory interface controller 18 (step CSW 15). Thereby, in the memory interface controller 18 interior, clear processing of the memory INTRQ generating is carried out automatically (step CSW 16).

[0170] If this interruption processing is completed, in response, the logic State control circuit 46 in the memory interface controller 18 will make improper the output of memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified, processing to which change processing of a control line and the data line is returned will be performed in connection with this, and it will be made to return to the hardware state in which the usual data transfer with a disk drive 21 is possible (step CSW 17).

[0171] The above is explanation of PIO data write-in transfer processing flow. Next, although DMA

data transfer processing flow is explained, by the DMA transfer, except the read-out write-in control to the dataport of command code and CPU, it reads, and since both writing is the same protocol processings, it is explained together.

[0172] Drawing 13 is a flow chart which shows the flow of the DMA data transfer processing from the device by the side of a host bus. First, the write-in processing to a device control register performs selection processing of a device 0 and a device 1 (step CSD1).

[0173] Subsequently, read-out processing of a status register is performed (step CSD2). This is for judging that the internal register of a disk drive 21 was set to BSY=0 and DRQ=0, and reception of above-mentioned device selection processing was completed. In addition, although the device / head register which is a register of the cutting tool length who contains LBA [27:24] of the LBA [27:0] registers M4 inside the memory interface controller 18 at this time have received the writing for device selection, the status / command register M2 which should reflect that condition answer register data read-out with an output high impedance according to an initial state, in order to prevent the data collision with the internal status / command register of a disk drive 21. This access disable condition is enableized by the change of the control line by the below-mentioned logic block address, and the data line, and is again processed by the return of a change of a control line and the data line at a disable.

[0174] Next, setting-out processing to the register of a command parameter is performed (step CSD3). Thereby, setting-out processing of the command parameter value of the logic block address to the LBA [27:0] register synthesizing each register of the number of sector transfers to a sector count register and LBA [27:24], LBA [23:16], LBA [15:8], and LBA [7:0] is performed. When the logic State control circuit 46 in the memory interface controller 18 distinguishes that that transfer initiation set point is in the address range which contains the cluster chain in FAT by the file system in a disk drive 21 here (in this case,  $\leq 133h$ ), change processing of the control line by the side of the disk drive 21 by the set point of a logic block address and the memory interface controller 18 and the data line is performed in it (step CSD4).

[0175] In change processing here, memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified from the logic State control circuit 46 is outputted, this is inputted into the address and the memory interface controller 50 for control signal generation, and memory address generation preparation is made, and the control bus B3 to a disk drive 21 changes, and it is turned off by the circuit 20.

[0176] Subsequently, a host bus side performs setting-out processing to the command register of a DMA transfer system or UltraDMA transfer system command code (step CSD5). Here, although it is uninfluent in an ATA protocol, if 400ns or more host bus side will wait for processing by the time it performs the processing step CSD5, in the processing step CSD4, change processing of the control line by predetermined range detection of a logic block address and the data line will return by actuation of the after [ the waiting for the cycle time ] reset circuit 47, a control line and the data line will return to a disk drive 21 side, and the activity of the memory interface controller 18 will be disabled.

[0177] Processing of an ATA-4 standard protocol for which it waits for 400ns is performed following the setting-out processing step CSD5 of command code (step CSD6). The memory interface controller 18 by the side of a device performs processing to which it continues emitting DMARQ which shows a data transfer demand to a data transfer preparation-completion and host bus side during a data transfer period following processing of the waiting for this time amount (step CSD7).

[0178] WORD data transfer processing is performed by generating and accessing DMA data transfer control signal DMACK- by the WORD data unit, to the word unit address generation circuit M6 where a carrier beam host bus side is equivalent to the address generation circuit of a data register through the memory interface 5 with IOR- and IOW- in the generating condition of this DMARQ, (step CSD8).

[0179] Here, transfer end-of-block decision processing is performed to a device side (step CSD9). When not ending the predetermined number of a sector count register by this decision processing, access by DMACK- which is processing of step CSD8 is succeedingly repeated to a host bus side, progressing to step CSD7 and continuing a DMARQ signal generation condition by No decision processing.

[0180] When decision processing at step CSD9 is Yes, generating processing of a memory INTRQ

signal is made by the memory interface controller 18 at a device side (step CSD10).

[0181] Next, processing which reads the status register M2 of BSY=0 and DRQ=0 condition to the status register M2 in memory in which the completion of a data block transfer is shown is performed (step CSD11). Thereby, in the memory interface controller 18 interior, clear processing of the memory INTRQ generating is carried out automatically (step CSD12).

[0182] If this interruption processing is completed, in response, the output of memory address generation enable signal MC11 which shows that the logic block-address range of predetermined [ in the logic State control circuit 46 ] in the logic State control circuit 46 in the memory interface controller 18 was specified is made improper, and in connection with this, processing to which change processing of a control line and the data line is returned will be performed, and will be returned to the hardware state in which the usual data transfer with a disk drive 21 is possible (step CSD13).

[0183] The above is explanation of the transfer processing flow of DMA data read-out writing. Thus, since there is no interrupt request signal generation for every sector in the case of a DMA transfer, processing is simplified and high-speed processing can do only a part without interruption processing-time generating for every sector.

[0184] Drawing 14 is the explanatory view of the data transfer of the memory interface controller in PIO read-out actuation of operation. This drawing is explaining the actuation which performs data transfer with data memory 19, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (in this case, <=133h).

[0185] First, device selection is performed by writing a device select code in a device / head register. Next, the BSY bit under processing and the DRQ bit of the data transfer preparation completion from a device are set to DRQ=0 and BSY=0 inside a drive with the status register of the disk drive 21 interior. Subsequently, the status code of a status register is read and the condition that the selection set of the disk device was carried out with the set of DRQ=0 and BSY=0 is checked.

[0186] Subsequently, setting out of a command parameter is started. First, the sector transfer number of counts is set as a sector count register. Then, the transfer initiation logic block-address value of 28 bits is set as the LBA [27:0] register which consists of four registers as a sector transfer starting position.

[0187] Then, while performing disk interfacing change actuation of the control bus B3 by the logic State control circuit 46, the after [ the waiting for the cycle time ] reset circuit 47 starts the time check of predetermined time, for example, 400ns. Here, since it is the explanation of operation which chooses the memory interface controller 18, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (<=133h which is set point within the limits in the case of this disk drive), it becomes the actuation which performs data transfer with data memory 19. The output of memory address generation enable signal MC11 which shows that the predetermined logic block-address range of the logic State control circuit 46 was specified is inputted into the address and the memory interface controller 50 for control signal generation, and memory address generation preparations are made, and change actuation here makes the change circuit 20 to the disk drive 21 of a control bus B3 turn off. Reading appearance of the status register is carried out again, and the OFF state of this change circuit 20 is continued until it shows data transfer termination reset or data transfer completion.

[0188] Then, write-in actuation of the PIO read-out system command code to a command register is performed. Consequently, actuation which the output of memory address generation enable signal MC11 which show that this made the switch 48 in the output side of the after [ the waiting for the cycle time ] reset circuit 47 turn off, and the predetermined logic block address range of the logic State control circuit 46 be specified continue be input into the address and the memory interface controller 50 for control signal generation during subsequent data transfer, and be make to maintain the change circuit 20 to the disk drive 21 of a control bus B3 similarly with an OFF state be carry out.

[0189] Then, a host side starts the next actuation, after establishing the latency time for 400ns. In response to the command code writing to a command register, shortly, the memory interface controller

18 sets BSY=0 which shows a device data transfer preparation completion to the internal status register M2, and DRQ=1, and generates a memory INTRQ signal. A host side reads a status register, and checks a device data transfer preparation completion, and a device side clears a memory INTRQ signal by this. then, a host side carries out repeat data transfer of the data transfer of a word unit by 1 sector by [ to the word unit address generation circuit M6 equivalent to the address generation circuit of a data register ] carrying out reading appearance and emitting control signal access IOR-. In ATA-3 criterion, 1 sector is 256 words. Repeat actuation is performed for generating of the memory INTRQ signal of this memory interface controller 18, and the sector data transfer following the status register read-out processing by the side of a host only several transfer sector minutes of a sector count register.

[0190] If all data transfers are completed, a device side will set the completion condition of a transfer of DRQ=0 and BSY=0 as a status register. A host returns the switch 48 of the output of the after [ the waiting for the cycle time ] reset circuit 47 to ON from OFF following the actuation which reads this register. The output of memory address generation enable signal MC11 which shows that the predetermined logic block-address range of the logic State control circuit 46 was specified is also reset. The actuation which returns SW change circuit 20 to the disk drive 21 of a control bus B3 to an ON state continues.

[0191] Here, the program manipulation by the side of a host is good also as realizing data transfer of an ATA protocol by changing and processing the program of each phase by setting a flag by read-out of a status register at each time, and making a flag clear by generating of the memory INTRQ signal from a device.

[0192] Drawing 15 is the explanatory view of the data transfer of the memory interface controller in PIO write-in actuation of operation. This drawing is explaining the actuation which performs data transfer with data memory 19, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (in this case, <=133h).

[0193] First, the writing to a device / head register performs device selection. Next, DRQ=0 and BSY=0 are set inside a drive with the status register of the disk drive 21 interior. Subsequently, the status code of a status register is read and the condition that the selection set of the disk device was carried out with the set of DRQ=0 and BSY=0 is checked.

[0194] Subsequently, setting out of a command parameter is started. First, the sector transfer number of counts is set as a sector count register. Then, the transfer initiation logic block-address value of 28 bits is set as the LBA [27:0] register which consists of four registers as a sector transfer starting position.

[0195] Then, while performing disk interfacing change actuation of the control bus B3 by the logic State control circuit 46, the after [ the waiting for the cycle time ] reset circuit 47 starts the time check of predetermined time, for example, 400ns. Here, since it is the explanation of operation which chooses the memory interface controller 18, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (in this case, <=133h), it becomes the actuation which performs data transfer with data memory 19. In change actuation here, memory address generation enable signal MC11 which shows that the predetermined logic block-address range outputted from the logic State control circuit 46 was specified is inputted into the address and the memory interface controller 50 for control signal generation, and memory address generation preparations are made, and the change circuit 20 to the disk drive 21 of a control bus B3 is turned off. Reading appearance of the status register is carried out again, and the OFF state of this change circuit 20 is continued until it shows data transfer termination reset or data transfer completion.

[0196] Then, write-in actuation of the PIO write-in system command code to a command register is performed. Consequently, actuation which the output of memory address generation enable signal MC11 which shows that this made the switch 48 in the output side of the after [ the waiting for the cycle time ] reset circuit 47 turn off, and the predetermined logic block address range from the logic State control circuit 46 was specified continues be input into the address and the memory interface controller 50 for control signal generation during subsequent data transfer, and is make to maintain the change

circuit 20 to the disk drive 21 of a control bus B3 similarly with an OFF state is carry out.

[0197] Then, a host side starts the next actuation, after establishing the latency time for 400ns. The writing of the PIO write-in system command code to a command register is received. Shortly The memory interface controller 18 sets BSY=0 which shows a device data transfer preparation completion to the internal status register M2, and DRQ=1. Then, by emitting read-out control signal access IOW- to the word unit address generation circuit M6 equivalent to the address generation circuit of a data register, a host side data transfer is performed repeatedly only several sector minutes which carried out PIO reading appearance and was set as the sector count register with interruption processing in each sector unit in the data transfer of a word unit like the case of processing.

[0198] If data transfer is completed, a device will set the completion condition of a transfer of DRQ=0 and BSY=0 as a status register, and will generate a memory INTRQ signal. A host side reads a status register, and checks a device data transfer preparation completion, and a device side clears a memory INTRQ signal by this read-out actuation. the actuation in which a host side carries out reading appearance of this register, and a device clears a memory INTRQ signal -- then, the switch 48 of the output of the after [ the waiting for the cycle time ] reset circuit 47 returns from OFF to ON, memory address generation enable signal MC 11 which shows that the predetermined logic block-address range outputted from the logic State control circuit 46 was specified is also reset, and the actuation which returns the change circuit 20 to the disk drive 21 of a control bus B3 to an ON state continues.

[0199] Here, it is good [ the program manipulation by the side of a host ] also as realizing data transfer of an ATA protocol by changing and processing the program of each phase like PIO read-out actuation by setting a flag by read-out of a status register, and making a flag clear by generating of the memory INTRQ signal from a device side.

[0200] Drawing 16 is the explanatory view of the data transfer of the memory interface controller by DMA data transfer actuation of operation. Here, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (in this case, <=133h), the actuation which performs data transfer between data memory 19 is explained.

[0201] First, the writing to a device / head register performs device selection. Next, DRQ=0 and BSY= 0 are set inside a drive with the status register of the disk drive 21 interior. Subsequently, the status code of a status register is read and the condition that the selection set of the disk device was carried out is checked by setting DRQ=0 and BSY= 0.

[0202] Subsequently, setting out of a command parameter is started. First, the sector transfer number of counts is set as a sector count register. Then, the transfer initiation logic block-address value of 28 bits is set as the LBA [27:0] register M4 which consists of four registers.

[0203] Then, while performing change actuation of the disk interfacing of the control bus B3 by the logic State control circuit 46, the after [ the waiting for the cycle time ] reset circuit 47 starts the time check of predetermined time, for example, 400ns. Here, since it is the explanation of operation which chooses the memory interface controller 18, when the logic State control circuit 46 in the memory interface controller 18 distinguishes that it is in the address range in which the transfer initiation set point contains the cluster chain in FAT by the file system in a disk drive 21 (in this case, <=133h), it becomes the actuation which performs data transfer with data memory 19. In change actuation here, memory address generation enable signal MC11 which shows that the predetermined logic block-address range which the logic State control circuit 46 outputted was specified is inputted into the address and the memory interface controller 50 for control signal generation, and preparation of memory address generation is made, and the change circuit 20 to the disk drive 21 of a control bus B3 is turned off. Reading appearance of the status register is carried out again, and the OFF state of this change circuit 20 is continued until it shows data transfer termination reset or data transfer completion.

[0204] Then, the DMA transfer system to a command register or write-in actuation of UltraDMA transfer system command code is performed. Consequently, actuation which this makes the switch 48 of the output of the after [ the waiting for the cycle time ] reset circuit 47 turn [ actuation ] off, and the output of memory address generation enable signal MC11 from the logic State control circuit 46



continues being inputted [ actuation ] into the address and the memory interface controller 50 for control signal generation during subsequent data transfer, and maintains the change circuit 20 to the disk drive 21 of a control bus B3 similarly with an OFF state is carried out.

[0205] Then, a host side starts the next actuation, after establishing the latency time for 400ns. In response to the writing of the DMA transfer system command code to a command register, shortly, the memory interface controller 18 sets BSY=0 which shows a device data transfer preparation completion to the internal status register M2, and DRQ=1, and it continues generating the DMARQ signal which is a data transfer demand condition signal from a memory interface side until the count of a block data transfer for several sector minutes of a sector count register is completed.

[0206] then, a host side performs data transfer repeatedly only several sector minutes set as the sector count register in the data transfer of a word unit by [ to the word unit address generation circuit M6 equivalent to the address generation circuit of a data register ] carrying out reading appearance and emitting DMACK- by word unit transfer with control signal access IOR- and IOW-.

[0207] If data transfer is completed, a device will set the completion condition of a transfer of DRQ=0 and BSY=0 as a status register, and will generate a memory INTRQ signal. A host side reads a status register, and checks a device data transfer preparation completion, and a device side clears a memory INTRQ signal by this read-out actuation. the actuation in which a host side carries out reading appearance of this status register, and a device side clears a memory INTRQ signal -- then, the switch 48 of the output of the after [ the waiting for the cycle time ] reset circuit 47 returns from OFF to ON, the output from the logic State control circuit 46 of memory address generation enable signal MC11 which shows that the predetermined logic block-address range was specified is also reset, and the actuation which returns the change circuit 20 to the disk drive 21 of a control bus B3 to an ON state continues.

[0208] Here, in DMA data transfer actuation, data transfer of an ATA protocol is similarly realized by changing and processing the program of each phase by the program manipulation by the side of a host setting a flag by read-out of a status register, and making a flag clear by generating of the memory INTRQ signal from a device.

[0209] the data memory 19 of the for [ furthermore ] the memory interface controller 18 and for file systems here -- the interior of a drive -- installing -- data memory 19 -- a battery back-up or a power source -- by building by the unnecessary non-volatile flash memory, pretreatment of the transfer to memory from the disk of FAT data and the after treatment of return [ write ] on the disk of the renewal data of FAT of the memory of the hard flow after data transfer become unnecessary, and can be made with the ATA disk drive of the memory for file systems, and disk one apparatus. And each hardware configuration and clue actuation explanation to it become possible [ carrying out like \*\*\*\* ].

[0210] Also to a file system, especially this drive can file-ize without loading of highly efficient OS image voice data which is continuation data, and can perform data transfer of a disk drive and an image voice-input/output circuit on real time.

[0211] Next, the example of the system configuration in the ATA/ATAPI method disk drive of two or more mechanism format that different two or more file systems differ from a access speed as a gestalt of the 2nd operation is explained.

[0212] Drawing 17 is the block diagram showing the configuration at the time of applying to two disk drives with which access rates differ. According to the configuration of drawing 17, the 1st ATA/ATAPI disk drive 21-1 and the 2nd ATA/ATAPI disk drive 21-2 are used as a disk drive 21. The 1st ATA / ATAPI disk drive 21-1, and the 2nd ATA / ATAPI disk drive 21-2 are disk drives of a mutually different ATA/ATAPI method of a disk-accessing rate or a disk file system. the ATA host interface circuit 17 -- the 1st -- address translation circuit 17a-1 and the 2nd -- it has address translation circuit 17a-2, and address translation which accesses the internal register of each drive by the memory-mapped-I/O method, respectively is performed. The memory interface controller 18 has the 1st memory interface controller 18-1 and the 2nd memory interface controller 18-2 corresponding to the 1st ATA/ATAPI disk drive 21-1 and the 2nd ATA/ATAPI disk drive 21-2 in the interior, respectively. Moreover, data memory 19 has the 1st data memory 19-1 and the 2nd data memory 19-2 which were prepared in the interior respectively corresponding to the 1st ATA/ATAPI disk drive 21-1 and the 1st



memory interface controller 18-1, and the 2nd ATA/ATAPI disk drive 21-2 and the 2nd memory interface controller 18-2.

[0213] Here, two drives of a disk drive 21 are explained. The 1st ATA/ATAPI disk drive 21-1 constitutes the 1st disk drive, and the 1st file system is being used for it. The configuration of the 1st disk drive as 1st head loading method The MAG, The floatation slider type head loading method of the optical MAG or an optical recording method is used. As 1st head type of mounting, a gimbal and a swing-arm type head type of mounting are used. As 1st seeking access actuation method A voice coil motor type actuation method is used, and it is the ATA/ATAPI method disk drive which a disk-track format can high-speed-data read-out write in, such as a hard disk which used the fixed revolution disk of the zone-ized concentric circular track format.

[0214] The 2nd ATA/ATAPI disk drive 21-2 constitutes the 2nd disk drive, and the 2nd file system is being used for it. The configuration of the 2nd disk drive uses the fixed support type head loading method of the optical MAG or an optical recording method as 2nd head loading method. As 2nd head type of mounting, an optical focal type and a linear actuator type head type of mounting are used. As 2nd seeking access actuation method Use a linear motor type slide actuation method, and a disk-track format uses the removable disk of the zone-ized spiral-like track format. the write-in reading appearance to a medium -- carrying out -- the continuation data of an image voice application carried out reading appearance continuously with the spiral truck, and suitable for writing, even if it was a low speed comparatively -- They are ATA / ATAPI method disk drives, such as a DVD-RAM (DVD:Digital Versatile Disc in which writing/read-out is possible) disk.

[0215] As the 1st file system which the 1st disk drive uses, a FAT filesystem is used with the gestalt of this operation. There is a data area accessed by the disk address LBA in the 1st disk inside the 1st disk drive so that it may illustrate, a continuation of FAT and FAT is memorized to the 1st data memory 19-1 in it, and it is used for a file access like the case of the gestalt of the 1st operation.

[0216] As the 2nd file system which the 2nd disk drive uses, a UDF (Universal Disk Format) file system is used with the gestalt of this operation. There is a data area with which it starts in a lead-in groove, respectively, and is finished as lead-out and which can be accessed by the logic block address LBA in each layer of the 2nd disk inside the 2nd disk drive.

[0217] Although there is a logical block area shown that it illustrates by the disk address LBA when the layer 1 of them is explained, as for the lead-in groove, the area where read-only information writes the defective amendment information for every removable disk for which R/W access is improper in the tail from a host side user by existing is secured. It is here to 30FFFh(s) in LBA at current DVD-RAM.

[0218] The data area of a before [ from a lead-in groove / lead-out ] is accessed from a host side, is a data area in which repeat write-in read-out is possible, and is accessed with DVD-RAM by the logic block address of LBA with offset which begins from 31000h.

[0219] If TEBURUOBUs contents (TOC:Table of Contents) exist in the interior of the read-only information inside a lead-in groove, and a lead-in groove, here The TOC, If user TEBURUOBUs contents (UTOC:User Table of Contents) exist in the interior of a data area, and as the UTOC The stored data for the LBA address for the 1000 to 10,000 sector divisor which can hold the required amount of data with disk capacity and a file system It is accessed with an ATA protocol through the 2nd memory interface controller 18-2, and it writes in the 2nd data memory 19-2, and read-out access is saved and carried out. The data saved at this 2nd data memory 19-2 are used for access of the file-ized data like the case of the gestalt of the 1st operation.

[0220] thereby, it is the disk drive with which methods differed, respectively, and since the time-amount discontinuity by head seeking access generating accompanying file-ized processing does not occur to the image voice data of file-ized data which carries out write-in reading appearance and needs a time-amount continuity especially for data when the head access rate specification engine performance differs from the file format to be use, record on a disk and read-out from a disk can perform at a high speed.

[0221] Next, the image voice data signal of the communication link transport stream outputted and inputted as a gestalt of the 3rd operation in the packet format which needs a time amount continuity is received. the time of playback of the image voice data which file-ized this image voice data, wrote it in

by time amount continuation on the occasion of record on a disk, and was file-ized from this recorded disk -- especially -- time amount -- conditional [ discontinuous ] -- the case of a system which realizes access is made into an example, and it explains.

[0222] When the hour entry is not included in a packet formal transport stream, or when you need a complicated method block for the detection, it prepares a record time-of-day clock separately into data logging here. The contrast table of the data write-in LBA positional information to a disk and record time of day is created. After a series of data logging is completed, this information is transmitted to data memory 19 as UTOC. conditional [ using the record time of day of data / from a disk / special ] -- in the case of playback The regeneration system of packet formal transport stream image voice data which decreases generating of the time amount discontinuous delay by head seeking access is realized referring to UTOC using the data memory 19 which can be accessed with an ATA protocol.

[0223] drawing 18 -- conditional [ of record time of day ] -- it is the block diagram showing the structure of a system which enables head broth playback access. According to the configuration of drawing 18 , especially the image voice data I/O circuit 16 has the controller [ a data input output buffer-cum-] section 16-1, and the image voice data disk access tabulation section 16-2 as the internal configuration. This image voice data disk access tabulation section 16-2 has the stream packet header detecting element 16-11, the disk-accessing LBA calculation section 16-12, the record time-of-day clock (Real Time Clock) 16-13, and the disk LBA record time-of-day contrast tabulation section 16-14 as that internal configuration further.

[0224] First, the decoder specification which will be the activity requisite to decode the data configuration and signal of the transport stream signal of the packet format which is the signal which carries out record playback is explained.

[0225] The MPEG 2-TS (transport stream) system signal acquired from the digital-broadcasting receiving tuner is a signal (DVB=Digital Video Broadcast) of a DVB format, and is a stream signal of the format that the multiplexer of the voice and the image of a compression signal was carried out as one program, and the multiplexer of the No. two or more group was carried out considering it as one program. and data size with this small data -- a packet -- it is-izing and transmitted. Each program is distinguished by PID (program ID) of the program information code incorporated in each packet.

[0226] This 1 packet data consists of 188 bytes which starts in head synchronous cutting tool data 47h, and 16 bytes of the indeterminate data following it. In addition, since 47h cutting tool data may exist in head synchronous cutting tool data also at not data but the cutting tool data transmitted of a proper, they are distinguished and recognized to be head synchronous cutting tool data of each packet here according to the detection check of the 47h head synchronous cutting tool data of the multiple times which exist every 204 bytes. The multiple times in this case are for example, consecutive five-time detection etc.

[0227] Moreover, the variable-length-data input is supported as a specification of the signal decoder section. Program channel zapping actuation of the electromagnetic interference in antenna reception and a tuner etc. corresponds, also when the data and time amount discontinuity of a transport stream signal occur intermittently. The inside of discontinuous time amount outputs the last decoding result image data output with a still picture as it is. If the continuity of input data is recovered again, after checking a normal input state, it considers as the decoder section which has the moving-function specification which resumes [ seconds / less than 0.2 etc. ] normal decoding actuation of an MPEG 2-TS system signal promptly and which is used for a digital-broadcasting receiving tuner decoder.

[0228] Moreover, although a graphic display is not carried out in the example of this drawing 18 , it assumes using it as an I/O system system block of the transport stream data of a packet format, connecting to the image voice data I/O circuit 16 the system block which has a reception input / local decoding output function, or a local encoding input / local decoding output function.

[0229] For example, the system block of the function which decodes the receiving MPEG 2-TS system stream signal based on the DVB broadcasting format which inputs as an MPEG 2-TS system stream signal which connects the input-signal output outputted from a device connector, and it bases on a DVB broadcasting format in using a digital-broadcasting receiving tuner, or changes to the hard flow and is inputted from a device connector prepares separately in the interior of a receiving tuner, and the

configuration which connects and outputs it to the image voice-data I/O circuit 16 of drawing 18 takes.

[0230] Or or it encodes and carries out a multiplexer and usually inputs an image sound signal input into an MPEG 2-TS transport stream system signal, the configuration which connects, outputs and inputs a system block in the image voice data I/O circuit 16 of drawing 18 and which changes a function, demultiplexes and decodes, outputs to the hard flow, and usually carries out an image sound signal output is taken again.

[0231] Here, the decision approach of the record data handling unit size to the disk of the image voice continuation data of the digital-broadcasting receiving MPEG 2-TS system stream signal as a packet formal transport stream to a disk drive is explained.

[0232] The record to the ATA/ATAPI disk drive of the transport stream data of a packet format is recorded by the approach of fitting a communication system packet unit to the sector unit which is a packet unit of disk data, in order to easy-size access of disk record data.

[0233] In the present ATA / ATAPI method disk drive Since it is 512 bytes and the transfer at each time is a maximum of 128 K bytes per time, One sector = as the packet-ized approach of the 1st disk data Make the 104448-byte (19800hbyte) unit of 512 bytes of 1 sector unit of a disk, and 204 bytes of least common multiple of a packet formal transport stream into 1 disk packet unit. That is, the approach of recording the packet unit of a packet formal transport stream signal and the sector unit of a disk by uniting a break is used. This approach has the effectiveness that access from the arbitration location in a sector unit becomes easy.

[0234] Or it records again by the approach of defining 204 bytes of integral multiple unit of a before [ 128 K bytes (20000hbyte), i.e., 131072 bytes, ] as a 1 disk packet unit exceeding 104448 bytes of this least common multiple.

[0235] In this case, with the last sector, although termination of 204 bytes of integral multiple unit of a transport stream repetition data unit is reached in the middle of sector data transfer, in that case, access is suspended, by newly rewriting a command to a control register with a built-in ATA/ATAPI disk drive, a transfer access waiting state is canceled and data transfer processing of the following sector is newly prepared about the remaining data of that sector.

[0236] If writing is stopped in the middle of write-in [ of 1 sector ] at this time, format data will be automatically written in the parts for the remaining data division of this sector of a disk by work of the interior firmware of a disk drive, ECC will be added to those whole 1 sector data division, and sector writing will be completed. That is, the data on a disk turn into record data which can be dealt with per sector. It has the effectiveness that the data access in the packet unit set of a packet formal transport stream signal becomes easy, and the continuation data access from a disk becomes easy by this.

[0237] it be the bank memory which have two or more memory more than the magnitude of the 128-K byte unit which be the max of the data size which can be transmit by 1 time of ATA / ATAPI method disk drive at least , and write in memory of one of the two for every bank memory unit time amount which transmit predetermined packet formal transport stream transmission size , the controller [ a data input output buffer-cum-] section 16-1 change bank memory , it incorporate the data from the outside by turns , and carry out ejection . From the packet formal transport stream block which is not illustrated, it inputs [ signal-] or outputs [ signal-] by time amount continuation.

[0238] Here, the change unit time amount of this 1 bank memory is explained. In explanation with the gestalt of this operation, the system signal of those with about 33MHz and its receiving MPEG 2-TS transport stream of 1 transponder bandwidth is a 3.9555MHz clock in a cutting tool unit parallel-data transfer at the time of the MPEG 2-TS transport stream system signal of the DVB formal input signal of digital broadcasting, for example, SKYPerfecTV!.

[0239] For this reason, in write-in read-out by least-common-multiple [ 104448 bytes of ] unit, each packet data set will be written in and read to each bank memory by turns in a cycle of 1 time every about (104448 bytes / 3.9555MHz data clock) 26.4 mses, and memory will be changed.

[0240] Moreover, the 1 packet + synchronous integral multiple data sizes of 204 bytes which are max most soon at 128 K bytes (131072 bytes) are 642 packet set data, and are 130968 bytes. In this case, each packet data set will be written in and read to each bank memory by turns in a cycle of 1 time every

about (130968 bytes / 3.9555MHz data clock) 33.1 mses, and memory will be changed.

[0241] The stream packet header detecting element 16-11 as an internal configuration of the image voice data disk access tabulation section 16-2 detects the packet head synchronous cutting tool data of the signal of the DVB format which is an MPEG 2-TS (transport stream) system signal from a digital-broadcasting receiving tuner.

[0242] 188 bytes from which, as for this signal, 1 packet data begin in head synchronous cutting tool data 47h. Since it consists of 16 bytes of the indeterminate data of the synchronizer following it and 47h cutting tool data may exist in head synchronous cutting tool data also not in the data of a proper but in transmission cutting tool data, It distinguishes from the head synchronous cutting tool data of each packet according to the periodic detection check of the multiple times which exist every 204 bytes of 47h byte data, and a packet head is recognized. The multiple times in this case are for example, consecutive five-time detection etc.

[0243] The disk-accessing LBA calculation section 16-12 has the logical address LBA write-in register of a disk starting position by the same 28-bit die length as a register with a built-in disk drive, and is the register write-in control data (disk-accessing LBA control signal) to the disk drive 21 of ATA / ATAPI method. It incorporates to juxtaposition at an internal register, and actuation which incorporates and outputs the data set write-in access starting position to a disk drive in the LBA address is performed.

[0244] Here, it has the functional actuation which carries out the register incorporation of the disk-accessing starting position address LBA for the transfer initiation of every as a data set to deal with to 204 bytes of the repeat data die length of the packet data + synchronizer data of an above-mentioned packet formal transport stream by using maximum of the integral multiple of 204-byte data as 1 set data within the data set of the least common multiple with a sector, or 128 K bytes.

[0245] record -- time of day -- a clock -- 16 - 13 -- the time -- a part -- a second -- time of day -- data -- outputting -- a clock -- it is -- a disk -- data -- record -- the time -- each time -- LBA -- data -- a set -- writing -- initiation -- corresponding -- disk accessing -- LBA -- calculation -- the section -- 16 - 12 -- corresponding -- time of day -- data -- outputting -- actuation -- carrying out . In addition, in order to make it simple here, it is good also as every sector initiation at each time and every 5 seconds.

[0246] And the disk LBA record time-of-day contrast tabulation section 16-14 A detecting signal with the normal input of a packet formal transport stream signal is received from the stream packet header detecting element 16-11. The disk write-in starting position address LBA data of a data set at each time are received from the disk-accessing LBA calculation section 16-12. From the record time-of-day clock 16-13, storage storing of these data is carried out inside in array data format as a disk LBA record time-of-day contrast table one by one in response to the time-of-day data in that case.

[0247] Thus, in case a packet formal transport stream signal is recorded on a disk drive, after creating the contrast table of Disk LBA and record time of day and completing record of a series of packet formal transport stream data, the bridge interface circuitry 13 reads the data of a contrast table from the disk LBA record time-of-day contrast tabulation section 16-14 through the host bus 14, and writes them in data memory 19 through the ATA host interface circuit 17 and the memory interface controller 18. This becomes the content table of a user which is accessed with an ATA protocol and which is secured on data memory 19, i.e., UTOC.

[0248] here, the data size of this UTOC is considered -- if it becomes, in record of per 1 hour (60 minutes), the data set number for every 33 mses is about 109,000 pieces, and can be contained with allowances into 256 sectors, i.e., 128-K byte data, in this case. Suppose beforehand that the data size memory for memorizing UTOC is prepared corresponding to disk storage capacity size.

[0249] packet formal transport stream data -- conditional [ from a disk drive ] -- in case it reproduces (conditional access: Conditional Access), based on the LBA address given [ each data set ] in UTOC, data read-out is performed intermittently one by one.

[0250] In still picture playback, a data set is read, it is reproduced, and interrupts data read-out as it is. A decoder holds the image in front of data interruption as a still picture. conditional -- intermittent by referring to the time of day of UTOC in head broth playback -- a reproductive repeat is usually performed. that is, it reproduces by carrying out data reading appearance for [ usual / from a certain

LBA location ] 5 seconds, and data read-out is interrupted after that, for example, it jumps to the LBA address of the next location of 1 minute after (this is attained with about 10 ms extent), and what usual playback for 5 seconds of the location of a degree is performed for is repeated.

[0251] A user grasps the content by usual playback for 5 seconds as head broth usual playback, access is possible for the location of 1 minute after in this case at intervals of record time of day, and the system signal decoder of this packet formal transport stream usually appreciates the following content for 5 seconds by playback after [ next ] 0.2 seconds which can recover data discontinuity. That is, it tries to fly and becomes implementation of a function. this record time-of-day spacing that seeing flies -- conditional -- a setting-out change shall be made with a playback control program

[0252] In addition, when the time amount to which this decoder that is not illustrated recovers normal decoding actuation by the continuation data input after data discontinuity is 0.2 seconds, prepare a detecting element and it detects having outputted the normal image. Holding an output image with a still picture output by the detecting signal, stop data read-out, see at record time of day with reference to UTOC data, and it jumps in the LBA data location of a 0.2-second location of a degree. By repeating every 0.2 seconds what normal decoding actuation of a decoder is recovered after these 0.2 seconds, that normal video output is detected, and a still picture output is again updated for by the continuation data input after data discontinuity It makes it possible to realize dynamic-image slow playback which consists of a still picture of five sheets (every 0.2 seconds) in 1 second.

[0253] the decoder specification property corresponding to the DVB signal format of taking the quickness of recovery from it into consideration even if this has the possibility of error generating during data transfer as compared with the MPEG 2-PS program stream as which the specification was determined to the disk drives to which error-less data are guaranteed -- using -- conditional -- it is the system which realizes playback and special playback.

[0254] Next, when replacement of the physical location on the disk of the physical sector accompanying defective generating of a disk drive has occurred as a gestalt of the 4th operation, the case where it is made for data read-out time amount not to become discontinuous by read-out head access to the change sector which the distance location on a disk left is explained.

[0255] Drawing 19 is drawing which explains generating prevention of data read-out time amount discontinuity by read-out head access to a change sector. In drawing 19, it has a disk drive 21, the memory interface controller 18, and data memory 19, and one ATA / ATAPI method disk drive for image voice data read-out are constituted.

[0256] Among the data recorded on the disk drive 21, to defective generating in the sector unit of a disk, sector change processing which is replacement of the physical record location of a record sector is performed, and it is recorded corresponding to this to the disk drive 21 for image voice data playback by which a time amount continuity is needed for read-out data.

[0257] Sector replacement processing is performed by the interior firmware control of a drive based on the logic block address LBA of the defective list of defective sectors which detected these at the time of manufacture (P list), and the defective list of defective sectors which increase at the time of an activity (G list).

[0258] Here, it considers as the configuration prepared in the disk drive 21 interior including the memory interface controller 18 and data memory 19 to a disk drive 21.

[0259] As for the LBA address number of the sector on a disk, replacement processing of the physical record location of this sector is carried out as it is by these sector defect. By controlling by software control of the interior system firmware of a drive to the sector group by which sector change processing was carried out to the memory interface controller 18 built in at the time of power-source power-on starting, sector data are beforehand transmitted to the data memory 19 built in in the sector unit corresponding to the LBA address range of the sector group replaced by sector change processing, and data read-out from the drive outside is prepared.

[0260] On the occasion of data read-out, by read-out access of the sector data of the LBA address applicable to the change sector carried out in replacement processing of a defective sector, physical seeking is actually carried out for a head arm, a change sector is not read, but data memory 19 is

accessed through the memory interface controller 18 inside a drive, and sector data are read. For this reason, since it does not generate, seeking of the head arm of a disk drive 21 can abolish data read-out time amount discontinuous generating by seeking.

[0261] It can consider as the disk drive configuration which has the data read-out actuation suitable for the image voice data playback in which a time amount continuity is needed for read-out data by transmitting defective sector data to data memory 19 through the memory interface controller 18 at the time of power-source power-on, and having been made to perform sector data read-out access of a change sector to data memory 19 through the memory interface controller 18 at the time of image voice data read-out from a disk drive 21.

[0262] As mentioned above, although this invention was explained based on the gestalt of the suitable operation, this invention is not limited to the gestalt of operation of these specification. For example, although explanation of the gestalt of above-mentioned operation explained the access interface equipment and the access approach corresponding to a DOS compatible file system This invention can be similarly applied, when reading by writing in like FAT with each file system which uses the predetermined logic block-address range on a disk, concentrating as a file arrangement table (FAT) for a file access. the time amount by seeking even if according to the various kinds OS of others which adopted each [ these ] file system it sets to carry out write-in reading appearance, and writes in and carries out reading appearance of the file-sized data of image voice continuation data and carries out them with FAT -- the high-speed discontinuous data transfer which is not generated is realizable. This OS is each OS of the nest application for for example, public welfare devices.

[0263] moreover -- although the example of the hard disk accessed by the logic block address explained this invention as a gestalt of the operation, if it is the disk device accessed like this by the logic block address using the rotating disk -- the file-sized continuation data to a removable disk, an optical disk, and a magneto-optic disk -- it can apply for carrying out write-in reading appearance, and the same effectiveness can be acquired.

[0264] Moreover, although this invention explained the disk drive which uses ATA/ATAPI-4 interface as explanation in the gestalt of the operation, it can be applied also like the disk drive which has the interface of the future of ATA/ATAPI -4 by which expansion was carried out, and the disk drive which has a bridge function with IEEE1394 and network buses, such as ATM (Asynchronous Transfer Mode), by addition in the interface further, and can acquire effectiveness.

[0265] Moreover, the same effectiveness also as the portable communication link multimedia application which needs the writing which applies also like the disk drive which it has by addition by making optical 1394 interface for carrying out digital data transmission and reception with the exterior to the interface of this disk drive with light and an IrDA (Infrared Data Association) space transmission interface into a photoelectrical converter, and file-izes continuous data, and read-out can be acquired.

[0266]

[Effect of the Invention] As explained above, by this invention, it was made the configuration so that it might have a memory means to read the management information of a management domain which has recorded and managed the information about the data arranged on disk media from disk media, and to hold it. Since the cluster chain data in FAT which were being performed with the disk storage means can be updated with a memory means by this, access of the head arm to a FAT field required for renewal of the cluster chain data in FAT in a disk storage means is lost, the fast transfer of continuous data becomes possible and there is no excessive actuation of a head arm, little drive equipment of power consumption is realizable.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-242563

(43) 公開日 平成11年(1999) 9月7日

(51) IntCl. <sup>6</sup>	識別記号	F I
G 0 6 F 3/06	3 0 1	G 0 6 F 3/06 3 0 1 N
		3 0 1 J
13/10	3 4 0	13/10 3 4 0 A
G 1 1 B 19/02	5 0 1	G 1 1 B 19/02 5 0 1 K
20/10		20/10 D

審査請求 未請求 請求項の数10 O L (全 42 頁) 最終頁に続く

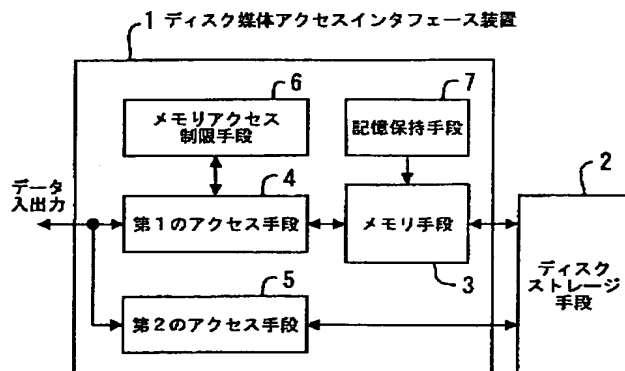
(21) 出願番号	特願平10-165129	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成10年(1998) 6月12日	(72) 発明者	岡田 俊二 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(31) 優先権主張番号	特願平9-355708	(72) 発明者	藤井 信子 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(32) 優先日	平9(1997)12月24日	(72) 発明者	叶多 啓二 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 服部 毅巖

(54) 【発明の名称】 ディスク媒体アクセスインタフェース装置およびそのアクセス方法およびディスクドライブ装置

## (57) 【要約】

【課題】 回転式のディスク媒体アクセスインタフェース装置に関し、既存のホストコンピュータとの接続性を維持しつつ高速な連続データの書き込み読み出しを可能にすることを目的とする。

【解決手段】 メモリ手段3にはあらかじめディスクストレージ手段2のディスク媒体に配置されているファイルの管理情報をディスク媒体から複写しておく。ここで、ディスクストレージ手段2に対してデータの読み書きを行うときは、第1のアクセス手段4がメモリ手段3にアクセスして読み書きの準備をし、その後、第2のアクセス手段5によりディスクストレージ手段2に対する連続データ転送が可能になる。ディスクストレージ手段2では、クラスタ単位でのデータ転送ごとに発生するファイル管理領域へのヘッドアームのアクセスがなくなり、ユーザデータ領域に対する連続した高速のデータ転送が可能になる。



**【特許請求の範囲】**

**【請求項 1】** 回転式のディスク媒体を有するディスクストレージ手段に対してデータの読み書きを行うディスク媒体アクセスインタフェース装置において、前記ディスクストレージ手段のディスク媒体上に配置されるデータについての情報が記録・管理されている管理領域における管理情報を前記ディスク媒体から読み込んで保持するメモリ手段と、

前記ディスク媒体の前記管理領域に対して行うべき前記管理情報の読み書きを前記メモリ手段に対して行う第 1 のアクセス手段と、

前記ディスク媒体のデータ領域に対してデータの読み書きを行う第 2 のアクセス手段と、

前記データ領域に対するデータの読み書きの準備開始時から計時して所定時間経過後に前記第 1 のアクセス手段が前記メモリ手段へアクセスする論理状態をリセットするメモリアクセス制限手段と、

を備えていることを特徴とするディスク媒体アクセスインタフェース装置。

**【請求項 2】** 前記メモリ手段は、電源投入後最初にデータ転送を行うときに前処理として前記ディスクストレージ手段のディスク媒体の管理領域から前記管理情報を読み出して保持することを特徴とする請求項 1 記載のディスク媒体アクセスインタフェース装置。

**【請求項 3】** 前記メモリ手段は、電源供給が遮断されるときに前処理として保持していた前記管理情報を前記ディスクストレージ手段のディスク媒体の管理領域に書き戻すことを特徴とする請求項 2 記載のディスク媒体アクセスインタフェース装置。

**【請求項 4】** 前記メモリ手段に保持されている前記管理情報を永続的に維持する記憶保持手段をさらに備えていることを特徴とする請求項 1 記載のディスク媒体アクセスインタフェース装置。

**【請求項 5】** ファイル管理情報領域およびデータ領域の記録領域を有する回転式ディスク媒体に対してデータの読み書きを行うディスク媒体アクセスインタフェース装置のアクセス方法において、

前記ディスク媒体アクセスインタフェース装置に設けたメモリに前記回転式ディスク媒体の前記ファイル管理情報領域に記録されたファイル管理情報をあらかじめ複写し、

データ転送時にはそのアクセス先を、前記ファイル管理情報領域に対するアクセスのときに前記メモリとし、前記データ領域に対するアクセスのときには前記回転式ディスク媒体のデータ領域とする、

ことを特徴とするディスク媒体アクセスインタフェース装置のアクセス方法。

**【請求項 6】** 前記メモリへのアクセス時に計時を開始し、所定時間後に前記メモリへのアクセス先指定をリセットすることを特徴とする請求項 5 記載のディスク媒体

アクセスインタフェース装置のアクセス方法。

**【請求項 7】** 前記メモリへのアクセス終了後の前記回転式ディスク媒体へのデータ転送中は、前記回転式ディスク媒体へのコントロール信号をオフにすることを特徴とする請求項 5 記載のディスク媒体アクセスインタフェース装置のアクセス方法。

**【請求項 8】** 前記回転式ディスク媒体へのデータ転送後、任意のタイミングで、前記メモリに書き込まれた前記ファイル管理情報を前記回転式ディスク媒体のファイル管理情報領域に書き戻すことを特徴とする請求項 5 記載のディスク媒体アクセスインタフェース装置のアクセス方法。

**【請求項 9】** 回転式ディスクドライブ装置において、データの読み書きが行われる回転式ディスク媒体と、前記回転式ディスク媒体に対して読み書きされるデータファイルについてのファイル管理情報を記憶するドライブ内蔵メモリ手段と、

前記ドライブ内蔵メモリ手段と前記回転式ディスク媒体とを合わせて 1 個のディスクストレージ手段としてアクセスする制御手段と、

を備えていることを特徴とする回転式ディスクドライブ装置。

**【請求項 10】** 前記制御手段は、前記ドライブ内蔵メモリ手段へのアクセスを所定時間経過後にリセットするウェイト時間制御手段を備えていることを特徴とする請求項 9 記載の回転式ディスクドライブ装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明はディスク媒体アクセスインタフェース装置およびそのアクセス方法およびディスクドライブ装置に関し、特に将来のパーソナルコンピュータのファイルシステムと融合した家庭用デジタルビデオ信号のノンリニア編集の核となるビデオオーディオディスクシステムに適用することができ、FAT (File Allocation Table)、ディレクトリを有するファイルシステムにおいてデータをファイル化して記録再生するのに好適なディスク媒体アクセスインタフェース装置およびそのアクセス方法およびディスクドライブ装置に関する。

**【0002】**

**【従来の技術】** 従来の記録技術の一般技術としては、高密度記録技術の急速な進展により、回転式記録再生ディスク媒体は映像信号の記録媒体としての能力を備えるようになってきた。とりわけ、ハードディスクは高速なランダムアクセスが行えることから、インタラクティブな映像の取り扱いやノンリニア編集など、テープ媒体のビデオテープレコーダではできない機能を実現でき、マルチメディア、マルチフォーマット時代の記録媒体として期待が大きい。ディスク媒体は、放送用途のノンリニア編集システム、ビデオサーバなどだけでなく、家庭用途



のパーソナルコンピュータとディジタルビデオ編集との融合による利用の実現にも不可欠である。しかし、ハードディスクはコンピュータの外部記録媒体として発達してきたため、映像用記録媒体として見ると、データ転送を連続的でないと想定しているために、書き込み読み出しのファイルアクセスの際にファイルシステムのFAT、ディレクトリに、ディスク媒体上の論理ブロックアドレス位置情報として、ファイルシステムの取り扱うクラスタ単位のファイル先頭位置およびファイルデータが書き込まれているクラスタの連続関係を書き込んでい

【0003】従来の映像音声入出力データのファイルアクセス方式として、いくつか知られている。その例を以下に示す。図20はパーソナルコンピュータのファイルシステムを説明するための図である。ここでは、第1のファイルアクセス方式として、MS-DOSやWindows（ともにマイクロソフトの商標）の高機能OS（オペレーティングシステム）を搭載しているパーソナルコンピュータの場合について説明する。パーソナルコンピュータはCPU（中央演算処理装置）101を有し、このCPU101はブリッジIC（集積回路）102を介してホストバス103に接続されている。そのブリッジIC102はメインメモリ104に直接接続されている。また、ホストバス103はATA（AT Attachment）ハードディスクインタフェース105を介してATA方式のハードディスクドライブ106に接続されている。

【0004】このような構成のパーソナルコンピュータでは、CPU101がブリッジIC102を介してホストバス103にアクセスすると同時に、同じくブリッジIC102を介してメインメモリ104にアクセスする。メインメモリ104上では、ファイルシステムを有する高機能OSと映像音声データ取り扱いプログラムとが展開されており、また、ハードディスクドライブ106のディレクトリ、FATデータの書き込み読み出し期間中の更新データはメインメモリ104上に設けたキャッシュ領域に書き込んで使用され、データ転送が終了したらキャッシュ内容をハードディスクドライブ106のディスク媒体に書き込む動作をさせている。一方、ホストバス103はATAハードディスクインタフェース105を介して、ハードディスクドライブ106にアクセスし、データの書き込み、読み出しをする。この際に、ハードディスクはDOS互換形式のファイルフォーマットでフォーマットされて使用されている。

【0005】次に、特開昭54-40046号公報に記載のような別のファイルアクセス方式について説明する。図21は光ディスクのファイルシステムの例を説明するための図である。第2のファイルアクセス方式として、CD-ROM（コンパクトディスクを利用した読取り専用メモリ）などに書き込まれたデータファイルのデ

ィスク再生読み出しにおけるファイルアクセス方式について説明する。ディスク111を再生読み出しする装置は制御部112とRAM（ランダムアクセスメモリ）113とから構成されている。

【0006】ここで、ディスク111に書き込まれたデータファイルを再生読み出しするときは、制御部112はまず、ディスク111からTOC（Table Of Contents）をRAM113上に読み出す。このとき、TOC内容はセクタ番号とトラック番号とのマトリックスアドレスにした大分類、中分類、小分類で読み出され、ディスク111のアドレスとRAM113のアドレスとが対応させられている。制御部112からサーチ命令がきたらまず、RAM113がアクセスされ、メモリ上でそのファイルのアドレス位置が大分類、中分類、小分類とサーチされ、そのファイルのトラック番号とセクタ番号とが取得される。そして、その取得したトラック番号およびセクタ番号をもとにそのアドレスに対応したディスク111上のファイルデータがアクセスされることになる。

【0007】次に、第3のファイルアクセス方式として、メモ리카ード用のファイルアクセス方式について説明する。図22はメモ리카ードのファイルシステムの例を説明するための図である。メモ리카ード用のファイルシステムは、CPU121、メインメモリ122、バス123、メモリストレージインタフェース124、およびメモリストレージ125から構成される。

【0008】CPU121はメモリストレージインタフェース124を介してメモリストレージ125にアクセスするが、その場合のファイルシステムは、高機能OS用のファイルシステムとは異なった簡単なファイルシステムの構成となっており、ディレクトリ、FATデータをメインメモリ122上に別途キャッシュ領域を設けず、そのままメモリストレージ125に書き込んでい

る。これはメモリストレージ125ではどの番地にアクセスしてもアクセス待ち時間不連続は大差なく、実用上時間不連続が発生しにくいこと、および、使用するCPU構成によって異なるアドレスマップ上の別領域に割り当てられたメモリにディレクトリ、FATデータのためのキャッシュ領域を確保して、ディレクトリ、FATの内容更新毎にメモリストレージ125からメインメモリ122上のキャッシュ領域にアクセス先を切り替えてアクセスするようなファイルシステムを使用した高機能OSが必要ないことに起因する。

【0009】ところで、ハードディスクは、インタフェースとディスクドライブとから構成され、ホストバスを介してCPUから制御されることでデータの記録再生を行うことができる。ハードディスクはコンピュータの外部記憶装置として発達してきたため、論理ブロック毎のバースト的なデータが誤りなく、効率よく書き込み読み出しデータ転送できるように設計されている。また、D

OS 互換のディスクファイルシステムもこの用途に適合するように論理ブロック単位での迅速なランダムアクセスが可能のように構成されている。このため、ハードディスクを映像音声データ信号のような連続データの記録再生用途には必ずしも適しているとはいえない。

【0010】つまり、映像音声信号は、コンピュータデータと比較すると連続転送を要求されるビットレート（サステインレート）が高く、データサイズの極めて大きいブロックフレーム単位のシーケンシャルデータであるという性質がある。ファイル化された映像音声データのディスクシステムの実現には、高画質の映像をリアルタイムで記録再生する、映像信号の連続性を保証する、安価でコンパクトにする、従来および将来的な互換性、拡張性を維持する、という各条件を満足する必要がある。

【0011】ここで、リアルタイムで処理するには、映像が高画質であるほど、高ビットレートの信号を記録再生できなければならない。データの入出力や転送においては、映像の基本ブロックサイズ（たとえば1フレーム、1パケットで、たとえば数100Kバイト単位）のデータ量を基準時間（たとえば1/30秒あるいは数分の1秒）以内に確実にデータ転送処理し終える必要がある。インタフェースおよびディスクドライブにおいては、映像信号の性質に適した信号処理を行い、各デバイス性能を十分に生かすことで、省電力かつ簡素なデバイス構成で安価かつコンパクトなシステムを実現する必要がある。そして、インタフェースは幅広いホストコンピュータとの接続性（互換性）や将来的なシステムの拡張性を確保するために、コンピュータの標準規格（ATAプロトコルなど）に準拠させる必要があり、映像音声信号は家庭用デジタルビデオ信号として本格普及開始され定着したインタフェース規格であるIEEE1394 DV方式、あるいはMPEG (Moving Picture Experts Group) 2ストリームに準拠させる必要がある。

【0012】すなわち、家庭内で効率よく高品質な映像音声連続データ信号の編集を行えるパーソナルコンピュータと融合したディスクシステムとして、高品質高ビットレートのデジタルビデオ信号などの映像音声連続データを効率よくリアルタイムで記録再生できる映像音声データのディスクシステム構成においては、ディスクドライブとそのアクセス方法、映像音声記録データ信号は、ディスク記録再生用に特殊な使い方ではなく、ファイルシステム形式のコンピュータデータと同一ドライブ仕様の同一ファイルシステム形式でそのままファイル化された映像音声データ記録信号の連続読み出し書き込みに対応させる必要がある。

【0013】ハードディスクを映像音声連続データ記録デバイスとして使用する場合に、DOS互換ファイルシステムなどのファイル化された記録が望まれる。このと

きに、DOS互換ディスクファイルシステムは、連続データ書き込み読み出しの途中で、クラスタチェーンなどの所定のデータサイズ単位毎にストレージデバイスに対して記録あるいは再生するたびに、ディレクトリ、FATへの書き込み、読み出しによるデータ更新を行う必要がある。

【0014】ディスクデバイス用のDOS互換ファイルシステムのファイル形式は、ファイル形式のパラメータを記述したブートレコード、後述のディレクトリで指定される各ファイルの開始クラスタ番号から同一ファイル内で連続する複数のクラスタ番号チェーンを順次記述するFAT、このファイルの開始クラスタ番号を記述するディレクトリ、そしてユーザが使用できるユーザデータ領域を設けている。ここで、長いデータサイズのファイルをアクセスする際には、ユーザデータが複数クラスタ領域にわたり、クラスタを越える毎にFATチェーンの更新を行う。ファイルシステムの動作は、各クラスタにファイルデータを読み書きするのを完了した後、ディレクトリで指定されたファイルのエントリポイントのFATチェーンの末尾に新たな次のクラスタ番号を書き込んで、新しいクラスタを使用する。この操作はユーザデータがクラスタを越えて読み書きするごとに繰り返し行われる。

【0015】各クラスタはファイルシステムが定めるディスク上の各セクタの複数集合単位の論理ブロック単位であり、テキストデータなどのランダムアクセスデータをも迅速にアクセスするために、連続映像音声データの長さから比較すれば極めて小さいデータブロックサイズである各セクタ（ATAドライブの場合は、1セクタ=512バイト）の整数倍、たとえば8kバイトあるいは16kバイト、32kバイトなどに定めている。このため、連続映像音声データをDOS互換ファイルシステムの制御手順にもとづいてファイル化された連続データとして書き込み読み出しする際にもクラスタ単位で連続で行われ、上述のかなり小さいデータサイズであるクラスタ単位毎に、ファイルの連続データの書き込まれているユーザデータ領域とはディスク上で物理的に距離の離れたFAT、ディレクトリの含まれる領域への読み出し書き込みヘッドアーム部の物理的なアクセスが頻繁に発生する。

【0016】ここで、ディスクのファイル位置を論理ブロック単位で示すFAT、ディレクトリはそのディスクフォーマットにおいて、起動の際の読み出し管理の都合上、所定の論理セクタ位置に集中して配置されている。なお、DOS互換ファイルシステムにおいて、サブディレクトリを設けたり、論理区画を設けることによって、ユーザデータ領域にディレクトリ管理情報が分散することもある。この情報はブートレコード、ディレクトリ情報に記載されているデータにもとづきアクセスすることによって利用される。

【0017】現在市販されている通常のハードディスクドライブの例としては、回転数は毎分5400rpm(=1回転につき約11.1ミリ/秒)、ディスクのあるトラック部分から別のトラック部分への1方向の平均アクセス時間が約10ミリ秒かかるものがある。

【0018】ここで、FAT内のクラスタチェーンの更新があると、ディスク読み出しヘッドの搭載されたヘッドアーム駆動部は、データ領域から物理的に離れた位置にあるFAT領域への物理的なアクセスを行う。そして、トラック上の目的の論理セクタにアクセスするためには、1回転するのに要する時間が平均約11ミリ秒ならば、回転待ち時間として平均してその半分の約5.5ミリ秒かかる。さらに、そこから元のトラックに戻るまでも同じ時間がかかり、合計で平均約31ミリ秒前後の時間不連続が発生する。これは理想的な動作の場合であって、これ以外にトラッキング調整時間なども考慮が必要となる。他方、ハードディスクとのCPUのデータ転送の観点から見ると、データ転送にはコマンドのドライブへの書き込みのために所定のコマンドコードをドライブ内蔵レジスタに書き込んでドライブの応答を待ってからデータ転送を開始するので、コマンド発行のための時間に約300マイクロ秒かかり、ドライブの内部データバッファとホストインタフェースとのデータ転送レート能力は最大で33Mバイト/秒である。しかしながら、ドライブのディスク媒体と内部データバッファとの間の平均連続データの転送レートは約6Mバイト/秒～12Mバイト/秒程度、すなわち、200K～400Kバイト/33.3ミリ秒である。

【0019】ここで、例として連続映像音声データのデータサイズと時間周期単位をそれぞれ128kバイトで1/30秒の場合を考える。たとえば映像音声の1フレームデータが1クラスタのデータサイズの場合であっても、クラスタ毎に一旦FATのクラスタチェーンデータの更新の読み書きのためにアームのアクセスおよびセクタの回転待ち時間が発生すると、そのFATの読み書きでのクラスタチェーンのデータ更新が終了して元の位置に戻って連続映像音声データの読み書きを続ける場合には、その間に約30ミリ秒の時間不連続が発生し、映像音声データの1フレーム時間である各1/30秒以内に各1フレームデータを転送し終えることは実際には不可能となる。映像音声の1フレームデータが128Kバイトであり、1クラスタが32kバイトであれば少なくとも4回のヘッドアームアクセスが発生し、そのために120ミリ秒の時間不連続が存在する。この時間不連続は、現在のドライブデータ転送速度のボトルネックとされ、将来改善されるであろう、ディスクドライブのディスク・ドライブ内蔵バッファ回路間の転送速度がたとえ2倍以上に向上したとしても、依然として存在するものである。

【0020】また、例として連続映像音声データのデー

タサイズと時間周期単位とがそれぞれ512kバイトで0.5秒の場合を考える。たとえば、圧縮率が高く各圧縮データ単位の処理必要時間が約1/2秒となり、転送レートが比較的低いMP EG 2の映像音声データなどでも、この処理時間内で複数連続データの並列処理により並行してデータ転送を行う場合や1データブロックが約512kバイトなどの大きなサイズにまとめて約0.5秒の時間単位内で読み書きするには、1クラスタが32kバイトであれば、同様に考えて、16回のヘッドアームアクセス、すなわち、平均480ミリ秒の時間不連続が発生することになる。残りの20ミリ秒で512kバイトを読み書きするためには、26Mバイト/秒の高いディスク・ドライブ内部バッファ間の連続データ転送レートの性能仕様が必要とされるために、FATチェーン更新のためのヘッドアームアクセスが発生すると、約0.5秒の時間単位内にリアルタイムに連続映像音声データを読み書きすることをディスクドライブで実現することは障害となる。

#### 【0021】

【発明が解決しようとする課題】上記の第1のファイルアクセス方式として述べた汎用高機能OSであるWindows-OS搭載のパーソナルコンピュータの例においては、OSに、CPUが扱うことのできる大容量のメインメモリが必要とされている。たとえばWindows 95(マイクロソフトの商標)においては、動作させるには16Mバイト以上のメインメモリが望まれている。ここで、メインメモリには高機能なOSを有し、映像音声データ入出力を取り扱うプログラム、ファイルシステムの他に、システムツールによってファイルシステムのFAT、ディレクトリの更新データをキャッシングするためのキャッシュ領域を設けることができる。しかし、この他にディスプレイドライバ、キーボードドライバ、マウスドライバ、各内蔵デバイスドライバの多数のタスクの並列処理のために、絶えず多数のシステムコール割り込み処理がかかってしまうために、映像音声データ入出力デバイスとハードディスクだけでホストバスを占有できず、そのたびに時間の不連続が発生してしまうという問題点がある。これを解消するには、映像音声データ転送中はディスプレイなどの割り込みサービスを禁止させてホストバスを占有するようにOSやコンピュータアーキテクチャ自体を変更してしまうか、それとも転送レートが133Mバイト/秒と極めて高速なPCI(Peripheral Component Interconnect)バスへの映像音声データ取り込みおよび高速連続転送に際してドライブ内部処理であるディスク上の目的の論理セクタへのアクセス処理時間中にホストバスを解放して映像音声データ転送処理のバッファ処理を平行して行え、かつコマンドのタグ付きキュー機能を有することにより割り込み処理に対してインテリジェントに実行待ちをかけて高速処理を行える高機能かつ最適

化された S C S I ( s m a l l c o m p u t e r s y s t e m i n t e r f a c e ) 方式の U l t r a W i d e - S C S I ドライブ、あるいはディスクアレイに組んだ高価な S C S I ハードディスクシステムなどを使用して、データ転送レート自体を飛躍的に改善しかつデータ転送プロトコル自体を高機能なものにするしかなく、いずれも実現困難あるいは実際のデータ転送に必要な転送データレートからみると高価かつ高機能で大規模なハードウェアを必要とするものであった。

【 0 0 2 2 】 また、上記の第 2 のファイルアクセス方式においては、再生読み出しにおいて、メモリ上にトラック番号とセクタ番号とを読み出してファイル先頭位置を見つけることでディスク上のファイル先頭位置が迅速に検索できるが、ファイルシステムを使用するときには、ディスク媒体へのファイルデータ読み出し途中のクラスタ単位での F A T チェーンへのアクセスを検出することはできなかった。ファイルシステムはディスクデバイスに対して構成されている。ここで、ディスクデバイスへのディスクアクセスプロトコル処理の流れの途中に、ディスクへのアクセスプロトコル処理に対応していないメモリデバイスにディスクプロトコルでアクセスしても、メモリデバイスは期待するディスクアクセスプロトコルに応答するインタフェースハードウェアを備えていないために、処理エラーが発生してストップしてしまい、使用できなかった。単にディスクのファイルデータの先頭位置をトラック番号およびセクタ番号で調べることができるだけであり、一旦ディスクへのアクセスプロトコルが開始されてしまうと、ファイルシステムの読み出しが終了するのを待たねばならなかった。これは所定の時間毎に、データサイズの大きな長時間連続する映像音声データを、汎用の D O S 互換ファイルシステムを使用してディスクアクセスプロトコルによって連続してディスクドライブとの書き込み読み出しデータの転送処理には使用できないことを意味する。

【 0 0 2 3 】 さらに、上記の第 3 のファイルアクセス方式は、メモ리카ードにディスク用の D O S 互換ファイルシステムを搭載したものである。これはメモリストレージ内のファイルフォーマットをディスクと同様にし、ディスクファイルシステムを論理ブロックであるセクタの複数集合のクラスタ単位で扱うようにしている。これはメモリストレージ上に F A T 、ディレクトリを作成しておいて、F A T 、ディレクトリへのアクセスをどのタイミングで行っても、連続する任意アドレスのクラスタ、論理セクタへのデータアクセスに待ち時間の不連続バツキ制限がないということを利用したファイルシステムであり、ホスト側のメインメモリに D O S 互換ファイルシステムの F A T クラスタチェーンデータ更新のキャッシュ領域の確保機能を要求する高度な O S 機能を必要とするものではない。

【 0 0 2 4 】 すなわち、このメモリストレージのファイ

ルシステムは、ディスクデバイスにおける、ディレクトリおよび F A T が集まっている論理セクタのクラスタ集合領域にヘッドアーム部がアクセスするために発生する不連続時間を考慮したものではない。このため、このファイルシステムでディスクデバイスに映像音声データを書き込もうとすると、静止画のように映像音声データの書き込み読み出しの処理すべき所定時間が決められておらず、書き込み読み出しに十分な時間が確保できるような用途でしか使用できない。すなわち、このファイルシステムでディスクドライブに映像音声連続データを書き込み読み出しするには、このメモリストレージ用のファイルシステム自体を作り直して、連続データの読み書きをする際には D O S 互換ファイルシステムを切り替えて、大きなアクセス単位でアクセスできる新規のファイルシステムを新たに構築して別途用意し、これを切り替えて使用することが必要になる。ファイルシステムの構築は困難な作業であり、また、同じ D O S 互換ファイル化の目的のファイルシステムを 2 つ同時に保有することは冗長であり、しかも用途に応じて使い分ける判断処理作業を必要とする。

【 0 0 2 5 】 また、特に携帯端末や民生用途に使用するためには、大容量メモリと大電力消費の C P U を使用したパーソナルコンピュータによる処理は本来電力消費とコスト面で不利であり、加えて、データ書き込み読み出しアクセス部の頻繁なアクセス駆動は電力消費を増大させてしまうという問題点がある。

【 0 0 2 6 】 本発明はこのような点に鑑みてなされたものであり、既存のホストコンピュータとの接続性を維持しつつ高速な連続データの書き込み読み出しを可能にした電力消費の少ない回転式ディスク媒体アクセスインタフェース装置を提供することを目的とする。

【 0 0 2 7 】

【課題を解決するための手段】 本発明によれば、回転式のディスク媒体を有するディスクストレージ手段に対してデータの読み書きを行うディスク媒体アクセスインタフェース装置において、前記ディスクストレージ手段のディスク媒体上に配置されるデータについての情報が記録・管理されている管理領域における管理情報を前記ディスク媒体から読み込んで保持するメモリ手段と、前記ディスク媒体の前記管理領域に対して行うべき前記管理情報の読み書きを前記メモリ手段に対して行う第 1 のアクセス手段と、前記ディスク媒体のデータ領域に対してデータの読み書きを行う第 2 のアクセス手段と、前記データ領域に対するデータの読み書きの準備開始時から計時して所定時間経過後に前記第 1 のアクセス手段が前記メモリ手段へアクセスする論理ステートをリセットするメモリアクセス制限手段と、を備えていることを特徴とするディスク媒体アクセスインタフェース装置が提供される。

【 0 0 2 8 】 上記構成によれば、メモリ手段はディスク

媒体に記録されるデータに関する管理情報をディスク媒体からあらかじめ写して記憶しておく。ディスクストレージ手段に対してデータの読み書きのアクセスを行うとき、第1のアクセス手段がメモリ手段にアクセスして読み書きの準備を行う。このとき、メモリアクセス制限手段は計時を開始し、所定時間経過後に第1のアクセス手段がメモリ手段へアクセスする論理ステートをリセットする。その間に読み書きの準備は完了し、第2のアクセス手段はディスクストレージ手段へのアクセスが可能になって、連続したデータ転送が行われる。したがって、メモリ手段とディスクストレージ手段のディスク媒体とは一つの連続した論理ブロック集合とみなすことができ、一つのディスクドライブとしてアクセスが可能になる。また、ディスクストレージ手段では、クラスタ単位のデータ転送ごとに発生する管理領域へのヘッドアームのアクセスがなくなり、ファイルシステムを用いての映像音声データのディスクストレージ手段への連続データ転送が実現される。

#### 【0029】

【発明の実施の形態】図1は本発明のディスク媒体アクセスインタフェース装置の原理構成を示した図である。ディスク媒体アクセスインタフェース装置1は、ディスクストレージ手段2の回転式のディスク媒体に対してデータの読み書きを行うものであって、メモリ手段3と、このメモリ手段3に対してアクセスする第1のアクセス手段4と、ディスクストレージ手段2に対してアクセスする第2のアクセス手段5と、メモリ手段3へのアクセス期間を制限するメモリアクセス制限手段6と、電源供給が遮断されてもメモリ手段3の内容が消えないようにする記憶保持手段7とを備えている。

【0030】メモリ手段3はディスクストレージ手段2のディスク媒体に配置されるデータに関する情報を記録・管理している管理領域の管理情報をディスク媒体からあらかじめ写して記憶しておく。このメモリ手段3は、あるセクタ単位で書き込み読み出し可能であり、かつ使用するディスク媒体と同一のディスクインタフェースのアクセスプロトコルに準拠したメモリインタフェースハードウェアを設けている。ここで、ディスクストレージ手段2に対してデータの読み書きを行うときは、第1のアクセス手段4によりメモリ手段3にアクセスして読み書きの準備を行う。このとき、メモリアクセス制限手段6は計時を開始し、所定時間経過後に第1のアクセス手段がメモリ手段へアクセスする論理ステートをリセットする。その間に読み書きの準備は完了し、第2のアクセス手段5はディスクストレージ手段2へのアクセスが可能になって、連続したデータ転送が行われる。これにより、メモリ手段3とディスクストレージ手段2のディスク媒体とは一つの連続した論理ブロック集合とみなすことができ、一つのディスクドライブとしてアクセスが可能になる。したがって、ディスクストレージ手段2で

は、クラスタ単位のデータ転送ごとに発生する管理領域へのヘッドアームのアクセスがなくなり、ファイルシステムを用いて映像音声データをディスクストレージ手段2へ連続してデータ転送することが実現される。データ転送終了後、適当な時期にメモリ手段3の記憶内容はディスクストレージ手段2のディスク媒体の所定の管理領域に書き戻される。また、記憶保持手段7を備えたことにより、電源供給が遮断されても、メモリ手段3に記憶された管理情報はそのまま保持されるので、管理情報のディスク媒体への書き戻し操作を省略あるいは書き戻しの頻度を低減することができる。

【0031】次に、本発明の実施の形態を、連続した映像音声データを記録再生するハードディスクドライブに適用した場合を例にして説明する。図2はハードディスクドライブに適用した場合の全体構成を示すブロック図である。図2において、CPU11はCPUローカルバス12を介してブリッジインタフェース(I/F)回路13に接続され、このブリッジインタフェース回路13はホストバス14に接続されている。ホストバス14には、メモリ(RAM)15、映像音声データ入出力回路16およびATAホストインタフェース回路17が接続されている。ATAホストインタフェース回路17はメモリインタフェースコントローラ18およびデータメモリ19に接続され、切り替え回路20を介してATA方式のディスクドライブ(ATA-HDD)21が接続されている。

【0032】ブリッジインタフェース回路13は、アドレスデコード回路13a、割り込み処理回路13b、ウェイトコントローラ論理回路13cを内蔵している。これらはCPU11がホストバス14に接続された各種デバイスの夫々に適合したアドレス配置に対するアドレスフルデコードによるデバイス選択信号の生成、デバイスからの割り込み要求をベクトル値割り当てすることによる優先順位決定処理、および各種デバイスごとのアクセスウェイト信号を生成している。なお、組込み用途マイクロコンピュータとして、チップ内に外部デバイス割り込み処理回路13b、ウェイトコントローラ論理回路13cを有してソフトウェアによる制御レジスタ値の設定でコントロールできるもの、さらにはデジタル論理回路としてアドレスデコード回路13aを有し、CPUローカルバス12およびブリッジインタフェース回路13をCPU11とともに1個のIC化したものを使ってもよい。メモリ15にはファイルシステムプログラム15aがロードされており、この手順に従って連続映像音声データがファイル化されて書き込まれる。映像音声データ入出力回路16はたとえばDV方式デジタルビデオ信号などの固定フレーム長さの連続映像音声データの入出力回路であり、これはその他の例としては、可変長データの複数のMPEGストリームの並列入力出力回路などの、所定時間周期の定まったブロック単位での連続する

映像音声データの入出力回路であればよい。

【0033】ATAホストインタフェース回路17はアドレス変換回路17aを有しており、このアドレス変換回路17aにより、ホストバス14に与えられるCPU11からのアドレス信号、制御信号を受けて、ディスクドライブ21に内蔵されるATAインタフェースの複数の各ATAデバイスレジスタに個別にアクセスするためのアドレス信号に変換する。データメモリ19はファイルシステム用のデータメモリであって、ディスクデバイス用のDOS互換ファイルシステムのディレクトリ、FAT情報を記憶するメモリであり、FATに用意されるクラスタ番号の個数はハードディスクのユーザデータ領域全体のクラスタ総数をアドレス指定するのに対応する。

【0034】ディスクドライブ21は、デバイス側のATAインタフェースを備えていて、ATAホストインタフェース回路17に対してATAプロトコルによってデータを送受している。メモリインタフェースコントローラ18は、アドレス、コントロール信号、およびデータ信号を送受し、FATデータの書き込み読み出しがあるときには、ATAプロトコルによってデータメモリ19とデータの授受を行う一方で、この際に並行して切り替え回路20によりディスクドライブ21のコントロール制御信号をオフしてディスクドライブ21への書き込み読み出しプロトコル動作を行わないで済ませる。

【0035】これの実現のために、詳細なDOS互換ファイルシステムの説明と、ATAプロトコルの制御タイミングの説明を行う。本実施の形態において使用するCPU11は、SH7604（日立製作所の商標）などのような、モトローラ系ビッグエンディアンアドレッシング方式を有し、組込み用途の省電力タイプであって、16ビットの整数倍の内部アドレスおよびデータ幅を有するRISC (reduced instruction set computer) 型CPUを使用する。そして、その内部には書き込み読み出しのCPUコマンドをワードアドレス単位で並列処理で繰り返し連続発行し、実際のディスクデバイスとのデータ転送に必要な処理ステップを短縮するのに好適なコマンドキャッシュを有している。

【0036】使用するCPUとディスクとの入出力アクセスアドレス方式は、メモリマップドI/O（入出力）方式を使用する。この方式は、各周辺デバイス側がI/Oアドレス方式と比べて、フルアドレスデコードを必要とするが、各デバイスをアドレス空間の任意アドレス位置に配置可能でシステム上の自由度が高い。

【0037】図3はCPUのアドレス配置マップ例を示す図である。縦軸はCPUアドレスであり、データ32ビットアドレスADDR[31:0]によりアドレス領域を設定していて、そのうちADDR[27:24]はアドレス領域を四つのエリアA0、A1、A2、A3に

領域分割するアドレスに使用する。この各領域ごとにアドレスADDR[23:0]のアドレスを有していて、CPU内蔵のコマンドキャッシュ使用の有無を指定することが可能である。そして各領域は、キャッシュ指定可能な領域としてアドレスを割り当て、CPU内蔵の制御レジスタビットでコマンドキャッシュを使用可能に設定して起動し使用することとしてよい。

【0038】アドレスマップの横軸はデータバス幅を示しており、各エリアごとにエリアA0、A2は32ビット幅に、エリアA1、A3は16ビット幅に指定して使用する。

【0039】ディスクドライブ21では、データはワードデータ転送なので、ドライブ内蔵レジスタのアドレスは1ワード=2バイトデータ幅の領域に割り当てている。これについては後述する。

【0040】映像音声データ入出力回路16もレジスタ設定によって書き込み読み出しを行っている。映像音声データ入出力回路16のI/Oレジスタのアドレス配置を設定し、これに所定のデータを書き込むことにより回路に内蔵されたメモリのベースアドレスが決定され、そのアドレスを基点としてこれにオフセットアドレスが加わる形式で回路内蔵メモリへの読み出し書き込みアクセスをイネーブル化する回路が内蔵されている。

【0041】本実施の形態においては、CPU11はこのアドレス配置マップ上、エリアA0にロードされたATAプロトコルに従ってデータ転送する映像音声データ転送プログラム手順と、同じくファイルシステムプログラム手順により、エリアA1のディスクドライブ21の各レジスタと映像音声データ入出力回路16の映像音声データアドレス領域にあるメモリとの間で所定時間フレーム単位のデータを転送する。

【0042】ハードディスクの処理プロトコルの途中で発生させて、CPUに割り込み処理を要求する、デバイス割り込み要求信号INTRQは、CPU側ではハードディスクに割り当てたベクタ番号のフェッチによるベクタ割り込み方式で取り込む。このベクタ番号については、CPUが割り込みの順位に対応させて内部で持つオートベクタ方式、あるいは外部で発生させるようにした外部ベクタ方式が使用される。この構成、動作については後述する。

【0043】次に、ディスクデバイスとしてのディスクドライブ21について説明する。ディスクドライブ21のディスクデバイスとしては、E-IDE (Enhanced Intelligent Drive Electronics) ドライブとして知られるATA標準方式ハードディスクドライブ、たとえばATA-3標準に適合するハードディスクドライブを使用する。

【0044】ハードディスクドライブの性能仕様例として、ディスク回転数は毎分5400rpm (=1回転につき約11.1ミリ/秒)、ディスク読み書きヘッドの

搭載されたヘッドアーム駆動部は、ディスク上のあるトラック部分から別のトラック部分への一方向の平均アクセス時間を約10ミリ秒とする。さらに、ここで、あるトラック上の複数のセクタから目的のセクタにアクセスするためには、回転待ち時間がかかり、一回転平均約11ミリ秒ならば0秒～11ミリ秒かかり、その平均は半分の約5.5ミリ秒である。そして、そこから元のトラックに戻るまでにも同じ時間がかかり、合計で平均約31ミリ秒前後の時間不連続が発生することになる。

【0045】他方、ディスクドライブ21とCPU11との間のデータ転送の観点から見ると、データ転送はディスク媒体と内部バッファ、ATAホストインタフェース回路17の四つを介して行われる。データ転送には、コマンドのドライブへの書き込みのために所定のコマンドコードをドライブ内蔵レジスタに書き込んでドライブの応答を待ってからデータ転送を開始するためのコマンド発行時間に約0.3ミリ秒を要する。ディスクドライブ21の内部データバッファとATAホストインタフェース回路17とのデータ転送レート能力は最大で33Mバイト/秒の性能を有する。しかしながら、ドライブの

$$LBA = (シリンダ * シリンダ当たりのヘッド数 + ヘッド数) * トラック当たりのセクタ数 + セクター - 1 \quad \dots (1)$$

ここでシリンダ当たりのヘッド数とトラック当たりのセクタ数はATA-3標準で導入された論理ブロックアドレスLBAの拡張以前から実施している論理的シリンダヘッドセクタ(CHS)変換方式の値である。なお、ここで論理的とは、書き込み可能なドライブにおいて、使用前、使用中に発生する欠陥セクタについて、ドライブ内部ファームウェアにより予備の交替セクタに置き換えを行う際に、論理番号を変更しないという意味である。

【0049】次に、メモリ15上にロードされるDOS互換ファイルシステムについて説明する。ディスクドライブはDOS互換フォーマットソフトウェアでフォーマットされたものが使用される。本実施の形態での説明は、既にフォーマット済みのディスクドライブに対してメモリ15上にロードされ、CPUで使用されるDOS互換ファイルシステムを使用する場合に、映像音声データを連続して書き込み読み出す際に行われるFATチェーンの更新動作を高速化させてリアルタイムな書き込み読み出しを実現するハードウェアとそれを使用する手順を説明することにある。ディスクドライブは、たとえば別途Windows-OSでフォーマット済みのものを使用してもよい。そしてシステムOSはロードしない、あるいは論理区画で分割使用して、システムOSをロードしない論理区画を使用することとする。これは高機能OSを使用しないディスクファイルシステムだけにし、ディレクトリ、FATのクラスタチェーン動作を説明しやすくするためである。

【0050】ファイルシステムはMS-DOS (マイク

ータ転送レートは約6Mバイト/秒以上～12Mバイト/秒程度であり、すなわち、1/30秒では200K～400Kバイト/33.3ミリ秒の転送レートが実現される。

【0046】使用するディスクのデータ転送プロトコルの例として、ATA-3のプログラムDIO (PIO)方式およびDMA (Direct Memory Access) 転送方式について説明する。Ultra DMA転送方式および、ATA方式の今後の拡張方式については、ANSI (米国規格協会) 標準のATA/ATAPI-4標準以降に記載の転送方式をその拡張方式に従って同様に使用する。

【0047】ATA-3方式のハードディスクドライブのディスク媒体上の各論理セクタ位置は、論理ブロックアドレス (LBA) として与えられ、論理ブロックでアクセスされる。その順番は論理番号としてリニアにマッピングされている。与えられた論理セクタのLBAのアドレスは変化しない。以下は常に真である。

【0048】

【数1】

ロソフトの商標) FAT16に互換なファイルシステムを用いる。ファイル管理情報としてのブートレコード、FAT、ディレクトリ、そしてファイルデータ読み書きに使用するユーザデータ領域を有している。

【0051】ファイルシステムの作成する1ファイルの連続データが複数クラスタにわたって読み書きされる際には、1クラスタ単位ごとにFATデータ情報の更新が行われる。

【0052】ディレクトリはファイルデータのファイル名とともに、FAT中に記載されるディスククラスタ上のクラスタチェーンの開始エントリ位置を示す。なお、使用例としての、DOS互換ファイルシステムのFAT16は、1ディレクトリにつきファイルごとに割り当てられるエントリ数は全部で最大でも512個に限定されているため、これを越える連続映像音声データファイル数をディスクドライブに作成する必要があるときには、ディレクトリエントリに続くユーザデータ領域先頭部分にユーザデータを書き込み使用する前に、あらかじめ新たにサブディレクトリを作成してディレクトリエントリ数を増やし、予測される必要に応じて複数のサブディレクトリ (Windows-OS上ではフォルダの作成に相当) を作成して用意する。これによりディレクトリエントリの1個当たり最大でも512個のエントリ数制限を解消し、ファイル管理情報のディスク上の物理的配置を集中させ、ファイル管理情報領域とファイルデータ領域とを分離して使用する。

【0053】これは、ユーザデータ領域に多数のファイ

ルデータを書き込んだ後でサブディレクトリを作成すると、ディスク上のユーザデータ領域の開始論理セクタから多数のファイルデータが書き込まれた後にサブディレクトリが設けられ、この位置をディレクトリがクラスタ番号での位置管理をすることとなると、結果として、ディスク上のサブディレクトリ位置の物理的な位置分散となり、映像音声データの読み書きのディスクアクセスには多数の連続データファイルの途中にファイル管理情報が配置されてしまい、連続編集のときにファイル管理情報であるディレクトリとサブディレクトリが所定の論理ブロックである論理セクタ領域に入るかどうかの判断がより複雑になるのを簡単化させる効果がある。

【0054】ここで、実際のハードディスクドライブを使用して、DOS互換ファイルシステムのファイル形式管理情報各部のディスク上の論理セクタ、バイト数、ファイルシステムのクラスタ数でのアドレス位置について説明する。

【0055】本実施の形態の説明では、ファイル管理情報としての、ディレクトリ、FATのディスク論理セクタ上のサイズと位置を知ることが必要である。このため、その配置を指定するディスクファイルシステムのパラメータがどう指定されているのかを実例で示す。

【0056】本例のファイルシステムの連続データを記録再生する使用するハードディスクドライブの例として、1.28Gバイト容量と称されるハードディスクドライブでの、DOS互換ディスクファイルシステムの場合のディスクの各領域を簡単に説明する。

【0057】図4はDOS互換ファイルシステムのファイル管理情報およびデータ領域の位置を示す図である。FAT16ディスクファイルシステムにおいては、ハードディスクファイルフォーマットは図4に示すように、ブートレコード領域31と、FAT領域32と、FATのコピー領域32aと、ディレクトリエントリ領域33と、データ領域34とが存在し、これらはディスク媒体にその外周から内周にへと同心円状に配置されている。データ領域34の各論理セクタはその複数クラスタ単位でFATに対応している。そして、その論理セクタ（とそのバイト数）位置はブートレコード領域31に記述されるパラメータと、FAT16ファイルシステムによる取り決めとによって一意に決まる。

【0058】ファイル管理領域（32～33）とデータ領域34とを区別している、ブートレコード領域31に記述のディスクパラメータの例を説明する。ブートレコード領域31はセクタ0から始まり、ディスク上の55hAAhデータで終了するまでの範囲である。なお、このデータはFAT16に従い1ワードデータに戻すとAA55hとなることは周知である。以下、ディスク媒体上の2バイトデータをまとめて1ワード数で表記する場合はワードデータに戻した値とする。

【0059】ブートレコード領域31に記述されたディ

スクファイルシステムのパラメータとして、IPL（Initial Program Loader）へのジャンプ先（3バイトで記述）、フォーマットしたDOSバージョン（8バイト）、1セクタ当たりのバイト数（2バイト＝1ワード：ATA標準のハードディスクドライブでは1セクタ当たり512バイトの取り決めがある）、ファイルシステムのクラスタ当たりのセクタ数（1バイト：ハードディスクドライブが1.28Gバイト容量の場合、1クラスタ当たり64セクタとなる）、ブートレコードに予約してあるセクタ数（2バイト＝1ワード：ここではセクタ数は1とする）、FATの数（1バイト：コピーを含めて2個）、ルートディレクトリの用意するファイルごとに一つの開始クラスタ番号を有するエントリ数（2バイト＝1ワード：ここではルートディレクトリエントリ数は512とする）、ディスク媒体がフロッピーディスクの場合のディスク当たりのセクタ数（2バイト）、メディアタイプのID（1バイト）、1FAT当たりのセクタ数（2バイト＝1ワード：1.28GBハードディスクドライブの場合、セクタ数は153である）、トラック当たりのセクタ数（2バイト）、ヘッド数（2バイト）、隠しセクタ数（4バイト）、論理セクタ数（4バイト：大容量ディスクなのでダブルワード、32ビット表記）、物理ドライブ番号（1バイト）、システム予約バイト（1バイト）、拡張ブート識別コード（1バイト）、ハードディスクドライブのボリュームシリアル番号（4バイト）、ボリュームラベル（11バイト）、ファイルシステムの採用しているFAT方式（8バイト：ここでは「FAT16」とする）、そして、システム予約のワードデータ（1バイト＋1バイト）がある。

【0060】以上により、本発明の実施に必要な数値パラメータである、ディレクトリエントリの配置、FATの配置、データ領域の配置が判る。ここで、ディスクファイルシステムの管理情報領域とデータ領域とは論理セクタ番号で指定される。ブートレコード領域31は1論理セクタである。ファイルシステムの基本パラメータの、ブートレコード領域31、FAT領域32およびFATのコピー領域32a、ディレクトリエントリ領域33、データ領域34の論理セクタアドレス位置はそのサイズを示すパラメータで記述指定されている。ファイルアクセスは、このパラメータをあらかじめ取得し、これにもとづいて行うことになる。

【0061】以上のパラメータ例から、ファイルシステムはFAT16である。1クラスタは64セクタ＝32Kバイトである。FAT領域32はFAT当たりのセクタ数が153セクタであり、それと同セクタ数のFATのコピー領域32aがある。ブートレコード領域31、FAT領域32、FATのコピー領域32aの合計より、ディレクトリエントリ位置は307（＝133h）論理セクタ目からになる。そして、ディレクトリエント



リ領域 3 3 は 3 2 セクタである。

【0062】データ領域 3 4 は、3 3 9 (= 1 5 3 h) 論理セクタ目からである。FAT 領域 3 2 および FAT のコピー領域 3 2 a 内のクラスタチェーンデータ更新が最低限必要であるので、このドライブの場合には、少なくとも 0 h ~ 0 0 0 0 1 3 3 h を含む論理セクタ、すなわち論理ブロックアドレス内容を、データファイルシステム用のデータメモリ 1 9 に記憶させて、ディスク管理情報パラメータとして使用する。より好ましくは、ファイルシステムは、ATA プロトコルにより、データ領域 3 4 への 1 クラスタのデータ書き込みと、ファイルシステム管理パラメータ情報領域であるディレクトリエントリ領域 3 3、FAT 領域 3 2 内のクラスタチェーンの作成更新とを別の回の ATA プロトコルのデータ転送処理発行で行っているため、このディスクドライブ 2 1 の 0 h ~ 0 0 0 0 1 5 3 h までを含むディスクの論理ブロックアドレス内容をデータメモリ 1 9 にコピーして、ここまでの論理セクタのファイルシステム管理情報データをデータメモリ 1 9 で使用する。

【0063】ここで、現在のディスクドライブ 2 1 は、1 周分の 1 トラックがおおよそ 1 0 0 ~ 1 6 0 個程度の論理セクタをデータ読み書き用に使用されるために有しているため、FAT 領域 3 2 および FAT のコピー領域 3 2 a 内の全ディスクの全クラスタを 1 6 ビット FAT のクラスタ番号で指定する個々のクラスタチェーン指定データバイトを収納する論理セクタ個数としての 1 3 3 h、あるいは 1 5 3 h は、それぞれ 3 0 7 セクタ個数、3 3 9 セクタ個数になり、ディスク上の数周分の物理トラックを必要とすることが判る。

【0064】より具体的には、ファイルシステム形式によって、FAT のコピー領域 3 2 a については一連のファイルデータ転送処理の済んだあとに、FAT 領域 3 2 から読み出して FAT のコピー領域 3 2 a に記録処理する処理形式のものであった場合には、このディスクドライブ 2 1 の場合は半分の FAT 領域 3 2 だけの 1 5 4 (= 9 A h) 論理セクタで済み、この場合に FAT 領域 3 2 に必要なバイトデータを考えると、このドライブの FAT 領域 3 2 の 1 5 3 (= 9 9 h) セクタ数を合わせてデータで 1 6 ビットワード指定できるクラスタ番号個数は 3 9 1 6 8 であり、このディスクドライブ 2 1 の全ディスク容量をクラスタ番号で指定するには 2 4 9 9 7 7 7 / 6 4 = 3 9 0 5 9 クラスタ個数がある。そして、1 クラスタ = 1 ワード、2 バイトデータ指定により、この 7 8 3 3 6 バイトデータに記憶して使用するときに必要なメモリ容量は、少なくとも 6 1 2 K ビットになる。

【0065】また、ブートレコードの論理セクタ分のアドレスシフト処理回路が冗長になる場合は、直接 FAT 領域 3 2 の論理セクタを指定するために、このディスクドライブ 2 1 の場合には 1 5 4 (= 9 A h) 論理セクタ個数分である、少なくとも 7 8 8 4 8 バイトデータ、6

1 6 k ビット (= 6 3 0 7 8 4 ビット) 以上のメモリ容量を必要とする。

【0066】ファイルシステム形式によっては、FAT のコピー領域 3 2 a については FAT 領域 3 2 への読み書き処理と同時に FAT のコピー領域 3 2 a に読み書き処理する必要のある処理形式のものであれば、このディスクドライブ 2 1 の場合は図 4 に示すようにそのまま 3 0 7 (= 1 3 3 h) セクタ必要となり、この場合に FAT 領域 3 2 および FAT のコピー領域 3 2 a の合計に必要なバイトデータを考えると、このディスクドライブ 2 1 の FAT 領域 3 2 および FAT のコピー領域 3 2 a の 3 0 7 (= 1 3 3 h) セクタ数であり、この 1 5 7 1 8 4 バイトデータに記憶して使用するときに必要なメモリ容量は、少なくとも 1. 2 M ビット (= 1 2 5 7 1 8 2 ビット) になる。さらにディレクトリも同時に処理する必要のあるファイルシステムを使用する場合は、上記に準じて 3 3 9 論理セクタ以上相当まで用意するメモリ容量を増加させることとする。

【0067】FAT 1 6 とディスクドライブの ATA-3 の LBA により扱える 2 GB までのディスク容量では、2 2 5 4 8 5 7 8 3 0 バイト、クラスタ総数は約 4 4 0 4 0 1 9 セクタ / 6 4 = 6 8 8 1 2 クラスタである。これは FAT 1 6 のワードデータ数であるから、バイトデータで指定すると 1 3 7 6 2 4 バイト、つまり、約 1. 0 5 M ビット (= 1 1 0 0 9 9 2 ビット) のメモリ容量を上限として用意する。

【0068】FAT システムが 3 2 ビット化されると、クラスタ数の総計が増加することから、さらにこの指定個数総数は増加され、指定バイト数は 3 2 ビット幅などに増加する。

【0069】連続データファイルの FAT 内のクラスタチェーンの更新が発生したときには、クラスタファイルシステム管理情報のデータアクセスがあるので、ディスクドライブ 2 1 ではなくて、ファイルシステム用のデータメモリ 1 9 の方へ、ATA 標準のデバイスへのデータ転送プロトコルでアクセスして使用する。

【0070】ディレクトリエントリ領域 3 3 は各ファイルの開始クラスタ番号とファイルサイズなどが記載されている。具体的には図 4 のディレクトリエントリ領域 3 3 の内部説明にあるように、ファイル名、拡張子、属性などとともに、第 1 クラスタの欄に各ファイルの第 1 クラスタを指定するデータが書き込まれている。これにもとづく FAT のエントリ番号からクラスタごとの連続関係がデータ領域 3 4 のエントリ番号「2」から始まるクラスタ番号のつながりで記載されている。そして、最後に EOF (end of file) でファイルのクラスタチェーンが終了する。これに対応するデータ領域 3 4 のクラスタ番号集合にファイルデータが記載されている。

【0071】ここで、連続映像音声データが書き込み、

読み出しされる場合を例にとりて考える。たとえば、1 フレーム 119、2 k バイトの映像音声データの場合であって、使用する 1 クラスタが 32 k バイトのときには、4 クラスタ = 128 k バイトとなる。ここで、1 フレーム映像音声データがこの各クラスタを越える毎に、FAT 領域内および FAT のコピー領域内のクラスタチェーンのデータ更新を行う。特に、最終クラスタに残存する未使用データ領域の扱いとしては、セクタ単位で 1 フレームデータを終了させるか、あるいはセクタ内で次のフレームのデータの先頭を結合させて連続して書き込むかのいずれかを行う。

【0072】そして、一連のデータフレームの連続である、映像音声データの書き込み読み出しが終了したならば、FAT 領域および FAT のコピー領域内のクラスタチェーンの末尾に EOF を指定して終了する。

【0073】ここで、FAT 領域内および FAT のコピー領域内のクラスタチェーンのデータ更新をハードディスクドライブではなく、通常のディスクデバイスのデータ転送プロトコルでアクセスするメモリインタフェースコントローラ 18 を介してデータメモリ 19 上で行う目的は、高機能 OS を有しない DOS 互換ファイルシステムを使い映像音声連続データの読み書きを行っても、ディスクドライブ内で書き込み読み出し手段であるヘッドアーム駆動部のアクセス動作を発生させない構成とするためである。たとえば、FAT 領域および FAT コピー領域内のクラスタチェーンのデータ更新を、コマンド発行の約 200 ~ 300 マイクロ秒とメモリへの 1 セクタのデータ転送とで約数ミリ秒以内でデータメモリ内で行った後に、回転ディスク媒体上の後続位置の論理セクタに連続データを書き込むのは、約 1 回転時間後の約 11 ミリ秒後になる。映像音声データの毎 1 フレーム時間が約 33 ミリ秒の時間単位の場合、リアルタイム性を阻害する時間遅延の発生はなく、ハードディスクドライブへ連続してアクセスして順次フレームデータを書き込んでいくためには、22 ミリ秒以内にデータ転送を完了させれば、ディスクドライブ 21 と映像音声データ入出力回路 16 との間での各フレーム時間内でのリアルタイムのデータ転送が実現される。最悪連続レート 6 M バイト / 秒以上なら、20 ミリ秒以内で 120 k バイト転送される。

【0074】次に、本発明の実施の形態における要部について詳細に説明する。まず、メモリインタフェースコントローラ 18 から説明する。図 5 はメモリインタフェースコントローラの構成を示すブロック図である。メモリインタフェースコントローラ 18 は、ATA プロトコルに従ってデータメモリ 19 をアクセスすることによりデータの入出力を行うもので、アドレス比較経路切り替え制御部 40 と、メモリアクセスのアドレス・制御信号生成用メモリインタフェースコントローラ 50 とを有している。このメモリインタフェースコントローラ 18

は、アドレスバス B1、データバス B2 およびコントロールバス B3 により ATA ホストインタフェース回路 17 およびディスクドライブ 21 に接続されている。ただし、ディスクドライブ 21 へのコントロールバス B3 は切り替え回路 20 を介して接続される。ATA ホストインタフェース回路 17 はアドレス変換回路 17a および制御ロジック回路 17b を有している。ディスクドライブ 21 はハードディスクドライブのアドレス・制御信号生成用ディスクインタフェースコントローラ 21a、ディスク 21b、図示しないドライブ内部 MPU (Micro Processing Unit)、ドライブ内部ファームウェアを有している。

【0075】ATA ホストインタフェース回路 17 では、ディスクドライブ 21 の内部に設置された複数の各レジスタに対して、それぞれ CPU 11 からブリッジインタフェース回路 13、ホストバス 14 を介してアクセスされるアドレスが割り当てられる。そのアドレスはアドレス変換回路 17a により変換され、ATA インタフェースの各デバイス内部レジスタについての入力アドレスを発生させる。また、制御ロジック回路 17b は各レジスタごとに与えるデータ長をバイト長、ワード長に制御する。

【0076】図 6 はアドレス変換の例を説明する図であって、(A) はアドレスデコード元の CPU アドレスを示し、(B) は ATA ホストインタフェース回路がアクセスするアドレス変換後のデバイス入力アドレス信号とデバイス内部レジスタとの関係を示している。

【0077】ここで、アドレスデコード元の CPU アドレス割り当ては、(A) に示したように、32 ビットアドレス長のワード単位で少なくとも 9 個ある。これらの CPU アドレスは ATA ホストインタフェース回路 17 のアドレス変換回路 17a により変換され、ATA ホストインタフェース回路 17 がアクセスするアドレス変換後のデバイス入力アドレス信号が出力される。デバイス入力アドレス信号は、(B) に示したように、同一アドレスを使用して読み出し機能と書き込み機能とで異なる名称のレジスタを指定しているが、それぞれレジスタは同じであり、同じレジスタに対して読み出しと書き込みとで機能の切り替えを行っている。なお、上側に示した八つのレジスタはコマンドブロックレジスタ、下側の二つのレジスタはコントロールブロックレジスタである。

【0078】ここで、ATA 標準の各レジスタのデータ値について説明すると、データレジスタのみがワード長データであり、残りはすべてバイト長データである。デバイスが有するレジスタ指定に使用するアドレスは、CS0-、CS1- のローアクティブ信号と DA[2:0] のハイアクティブ信号との五つのアドレス信号であり、これとは別に、DMA データ転送の場合は、これらのアドレス信号の代わりに DMA CK- でデータレジスタを直接ポート指定してデータ転送をする。

【0079】CS0-0はコマンドブロックレジスタの8個のレジスタをアドレス指定するのに使用される。データレジスタはドライブとホストとの16ビットワード長データ転送に使用される。エラー/フィーチャレジスタはデバイスがコマンド実行エラーを発生したときにその原因を読み取るためや、ドライブに転送モードなどの各種制御機能をコマンドパラメータとして設定するために使用される。

【0080】セクタカウントレジスタは1セクタ=256個のワードデータ、つまり512バイト単位でのデータ転送長さをコマンドパラメータとして指定するために使用される。

【0081】LBA[7:0]、LBA[15:8]、LBA[23:16]、LBA[27:24]レジスタはデータ転送開始の論理ブロックアドレスをコマンドパラメータとして指定するために使用される。

【0082】ステータス/コマンドレジスタは、ドライブの状態を読み取るために使用される場合は、処理中のBSYビット、デバイスのコマンド受付準備完了のDRDYビット、デバイスからのデータ転送準備完了のDRQビット、コマンドのエラー発生時のERRビットの各ステータスを読み取るために使用される。また、ドライブに書き込みする際には、コマンドコードを書き込んで、コマンド実行を開始するために使用される。

【0083】CS1-はコントロールブロックレジスタの少なくとも1個を指定するのに使用される。オルタネートステータス/デバイスコントロールレジスタは、ドライブの状態を読み取るときに、ステータスレジスタの内容をそのまま保持し、ステータスレジスタの代わりに使用されることがある。デバイスコントロールレジスタは、書き込みの際には、ソフトウェアリセットをかけた後、デバイスからの割り込み要求を許可設定するために使用される。

【0084】コントロールブロックレジスタの最後のレジスタは、以前は使用されていたが、現在は廃止、あるいは使用しないことが勧告されているものである。以上、少なくとも九つのレジスタはディスクドライブ21を制御するレジスタである。

【0085】次に、ATAホストインタフェース回路17に接続されるコントロールバスB3、アドレスバスB1、データバスB2における制御信号、アドレス信号、データ信号について説明する。ATA方式のインタフェースでは、制御信号は、デバイス側からはIORDY、INTRQ、DMARQ、ホスト側からはRESET、DIOR-、DIOW-、DMACK-の各制御信号が規定され、アドレス信号は、CS0-、CS1-、DA[2:0]の各アドレス信号が規定され、データ信号については、DD[15:8]、DD[7:0]の各バイト長さデータ信号が規定されている。

【0086】ここで、図5に示したメモリーインタフェース

スコントローラ18の動作について説明する。ディスクドライブ21は、ATAプロトコルで、内蔵のアドレス・制御信号生成用ディスクインタフェースコントローラ21aを介して、ドライブ内部MPUとドライブ内部ファームウェアの制御によりディスクに対してセクタ単位でアクセスして読み書きする通常のATA方式ハードディスクドライブとして機能するものを使用している。ここで、メモリーインタフェースコントローラ18のアドレス比較経路切り替え制御部40は、ATAホストインタフェース回路17からハードディスクドライブアクセスの論理ブロックアドレスが、上述のディスクファイルシステムのファイル管理パラメータ領域である、ディレクトリ、FATを含む領域をLBA[27:0]の各レジスタおよびセクタカウントレジスタを論理ブロック指定および設定を行うときには、これを検出し、コマンドコードを書き込む際にはATA方式ハードディスクディスクドライブ21へのコントロールバスB3を切り替え回路20で切り替え、オフすることにより、ディスクドライブ21へのコマンドコードの書き込みを不可にする。これとともに、アドレス・制御信号生成用メモリーインタフェースコントローラ50中に用意したコマンドブロックレジスタの中のコマンドレジスタに書き込まれているコマンドコードにもとづいて、アドレス・制御信号生成用メモリーインタフェースコントローラ50でデータメモリ19に対してセクタ単位でアクセスする論理ブロックデータのアドレス信号を発生させ、所定のセクタカウントレジスタにより指定されたセクタ単位のデータの転送を完了させ、FAT領域内およびFATのコピー領域内のクラスタチェーンのデータ更新を終了させる。この際に、後述する所定のATAプロトコルに従い、割り込み要求信号INTRQの割り込み処理を発生させる。ディスクデバイスとのデータ転送が完了したら、全体をリセットさせ、新たに次のクラスタのデータ転送を開始させる。

【0087】次に、メモリーインタフェースコントローラ18がデータメモリ19にファイルシステムの管理情報パラメータの内容を記憶させる準備動作について説明する。メモリーインタフェースコントローラ18のアドレス・制御信号生成用メモリーインタフェースコントローラ50は、図示しないCPUアドレスマップに割り当てられた別アドレス変換回路からの別経路でのアドレス変換信号入力により、これも図示しない機能切り替えレジスタビットを設定してATAホストインタフェース回路17からのアドレス信号入力をディスエーブルにし、あらかじめディスクドライブ21のファイルシステムのディレクトリエントリ領域、FAT領域、FATのコピー領域を含む管理パラメータ領域のデータをデータメモリ19にコピーしておく。その後、上記の図示しない機能切り替えレジスタに書き込むことにより、ATAホストインタフェース回路17からのアドレス信号入力をイネーブ

ルにする。

【0088】DOS互換のディスクファイルシステムは、ATAプロトコルにより、データ領域34への1クラスタのデータ書き込みと、ファイルシステム管理パラメータ情報領域であるディレクトリエントリ領域33、FAT領域32内のクラスタチェーンの作成更新とを別の回路のATAプロトコルのデータ転送処理発行で行っている。このディスクドライブ21の0h~0000153hまでの範囲を含むディスクの論理ブロックアドレスの内容をデータメモリ19にコピーして、ここまでの論理セクタのファイルシステム管理情報データをデータメモリ19に記憶させて使用する。

【0089】次に、メモリインタフェースコントローラ18におけるアドレス・制御信号生成用メモリインタフェースコントローラ50について説明する。図7はアドレス・制御信号生成用メモリインタフェースコントローラ50は、オルタネートステータス/デバイスコントロールレジスタM1と、ステータス/コマンドレジスタM2と、セクタカウントレジスタM3と、論理ブロックアドレスレジスタM4と、セクタアドレス累計加算回路M5と、ワード単位アドレス発生回路M6と、メモリINTRQ信号発生回路M7と、リセット信号発生回路M8と、アドレス生成回路M9とを有している。

【0090】オルタネートステータス/デバイスコントロールレジスタM1は、読み取りに際してはステータス/コマンドレジスタM2の内容をコピーして読み取りの用意をし、書き込みの際にはソフトウェアリセットやデバイスの割り込み要求許可設定ビットを書き込む。

【0091】ステータス/コマンドレジスタM2は、コマンドレジスタへの書き込みコマンドコードの検出によりメモリ読み書き制御信号のイネーブル化をし、そのコマンド実行準備完了状態およびセクタカウント数のデータ転送完了ステータスの各状態をステータスレジスタに設定する。

【0092】セクタカウントレジスタM3は、LBA論理セクタ単位でのセクタ転送カウント数を設定する。論理ブロックアドレスレジスタM4は、LBA[27:24]、LBA[23:16]、LBA[15:8]、LBA[7:0]の四つで論理ブロックアドレスLBA[27:0]の論理セクタ転送開始位置を指定する。このうち、LBA[27:24]を含むバイト長レジスタの上位ビットは、論理ブロックアドレスでのアクセスを示すLBAビットと、デバイス0またはデバイス1のデバイス選択を行うDEVビットとを含んでおり、このバイト長レジスタをデバイス/ヘッドレジスタと呼ぶ。

【0093】セクタアドレス累計加算回路M5は、セクタカウントレジスタM3から信号MC1によりセクタカウント設定数を入力し、LBA[27:0]レジスタM

4から信号MC2によりセクタ転送開始論理ブロックアドレス位置を入力し、データレジスタによるアドレス発生回路に相当する各セクタ範囲内でのワード単位アドレス発生回路M6から信号MC3によりセクタ単位ごとのデータ転送開始信号を入力して、セクタカウント数のセクタ転送ごとの1セクタ=512バイト単位で512バイト累計加算単位ずつ加算するワード単位のアドレス生成回路M9に出力するものであって、1セクタ当たりのワード数256(=100h)個の先読みセクタカウンタM51を内蔵している。

【0094】ワード単位アドレス発生回路M6は、コントロールバスB3の書き込み信号IOWあるいは読み出し信号IORごとに行われる各1論理セクタ範囲内でのワード単位データの転送ごとに0~255までワード単位のアドレスを順次発生するもので、ATAデバイスのデータレジスタのアドレス発生回路に相当する。なお、ここで、データレジスタのアドレス発生回路に相当するとは、CS0=0、CS1=1、DA[2:0]=0hでIOR、IOWなどの読み出し書き込み制御信号を与えるたびに、LBA[27:0]で指定の開始論理ブロックアドレスから順次16ビットのワードデータを1セクタ=256ワード単位でセクタカウントレジスタM3のセクタカウント回数分データ転送するレジスタのことであり、このCS0、CS1、DA[2:0]でIOR、IOWを繰り返し与えることで順次ワード単位のアドレスを発生して、その結果、データメモリ19がデータバスB2にワードデータを入力するワード単位アドレス発生回路M6はデータレジスタ回路のアクセス動作を実行しているためである。

【0095】アドレス生成回路M9は、アドレス比較経路切り替え制御部40の後述する論理ステート制御回路よりのLBA[27:0]のファイルシステムの管理情報パラメータに含まれる所定の論理ブロックアドレス範囲の指定されたことのイネーブル入力MC11を受けてデータメモリ19へのメモリチップセレクトMC6を出力し、データレジスタのアドレス発生回路に相当する各セクタ範囲内でのワード単位アドレス発生回路M6からの1論理セクタ単位内でのメモリワードアドレス信号MC5の信号入力と、セクタアドレス累計加算回路M5からのセクタごとに1セクタ=512バイト単位での累計加算メモリアドレス信号MC4の入力とを受けて実際のメモリへのワードアドレスMC7を生成する。

【0096】メモリINTRQ信号発生回路M7は、ステータス/コマンドレジスタM2に書き込まれたコマンドコードにもとづくPIOの読み出し、PIO書き込み、DMA転送の各データ転送モード設定が選択されて、PIOの読み出しコマンドの際にはアドレス生成回路M9からのセクタごとのデータ読み出し準備完了の際に発生、あるいはその他の書き込み読み出しコマンドの際には、PIO書き込みの場合に各セクタ転送を行うこ

とに発生、さらに加えて、P I O書き込み、DMA読み出し、DMA書き込みの場合には全データ転送が完了した後にも、データ転送完了のカウントアドレス検出信号を受けてメモリ I N T R Q信号MC 1 3を発生し、さらにステータス/コマンドレジスタM 2が読み出し信号を受けたことを検出出力する信号MC 1 2が入力されてメモリ I N T R Q信号MC 1 3をクリアする。

【0 0 9 7】論理ステート制御回路のリセット信号発生回路M 8は、クロック同期タイミングにもとづいてステート進行されるステートマシン回路であって、メモリ読み出し書き込みのデータ転送完了であるアドレス生成回路M 9からの信号MC 9およびメモリ I N T R Q信号発生回路M 7からの信号MC 1 0を受け、かつ、一旦発生されているメモリ I N T R Q信号MC 1 3をクリアするステータス/コマンドレジスタM 2の読み出し検出信号MC 1 2を受けて、論理ステート制御回路リセット信号MC 1 4を発生する。

【0 0 9 8】ここで、アドレス・制御信号生成用メモリインタフェースコントローラ5 0の内部のL B A [ 2 7 : 0 ] レジスタM 4の内のL B A [ 2 7 : 2 4 ] を含むデバイス/ヘッドレジスタはデバイス選択処理を受ける際に、書き込みを受けるが、この結果を反映すべきステータス/コマンドレジスタM 2はディスクドライブ2 1内部のステータス/コマンドレジスタとのデータ衝突を防止するために、デフォルト初期状態ではレジスタデータの読み出しには高インピーダンスで応答する。このアクセスディスエーブル状態は後述の論理ブロックアドレスによるコントロール線、データ線の切り替えによってイネーブル化され、データ転送処理後のステータス/コマンドレジスタM 2が読み出し処理されるのを受けて行われるコントロール線、データ線の切り替えの復帰処理によって再度ディスエーブルに処理される。

【0 0 9 9】データメモリ1 9への論理セクタ単位での読み出し書き込みと、ディスクドライブ2 1でセクタ単位での読み書きデータ転送とをデータメモリ1 9で一部シミュレーションするには、A T Aホストインタフェース回路1 7によってアドレス変換された後のアドレスバスB 1、データバスB 2、コントロールバスB 3は、アドレス・制御信号生成用メモリインタフェースコントローラ5 0に入力されるとともに、データバスB 2およびコントロールバスB 3は、データメモリ1 9に入力される。

【0 1 0 0】アドレス生成回路M 9は、L B A [ 2 7 : 0 ] を指定するレジスタから、データアクセスされる論理ブロックがファイルシステムの管理情報パラメータのうち、少なくともF A T領域内のクラスタチェーンを含むアドレス範囲内であることを判別される判別制御信号を論理ステート制御回路から入力されて、メモリチップセレクト信号MC 6を発生してメモリに入力し、かつアドレス生成回路から1 論理セクタ長さ単位のL B A [ 2

7 : 0 ] レジスタおよびセクタカウントレジスタでアクセスデータサイズを指定し、ワード単位で読み書きデータ転送を行うためのワードアドレス信号MC 7を発生しておく。

【0 1 0 1】データメモリ1 9は、アドレス・制御信号生成用メモリインタフェースコントローラ5 0により生成されるデータメモリ1 9のチップセレクト信号MC 6、および論理ブロックである論理セクタ単位でアクセスして読み出し書き込みするメモリ個所を指定するワードアドレス信号MC 7を受けて、1セクタ長さ=2 5 6ワード=5 1 2バイト単位で書き込み読み出しを行う。

【0 1 0 2】この場合、データメモリ1 9のデバイス特性である、制御信号の書き込みイネーブル、読み出しイネーブル信号が発せられ入力されても、チップセレクト信号MC 6が入力されなければデータメモリ1 9のデータ内容が保護されることを利用している。

【0 1 0 3】以上で、論理ブロックアドレスである、セクタアドレス単位ごとにメモリがアクセスされ、その中に記憶されるファイルシステムの管理情報パラメータのメモリデータが読み書きされる。

【0 1 0 4】次に、メモリインタフェースコントローラ1 8のアドレス比較経路切り替え制御部4 0の構成について説明する。図8はアドレス比較経路切り替え制御部の構成を示す図である。このアドレス比較経路切り替え制御部4 0は、セクタカウントレジスタM 3のセクタカウントレジスタ設定動作検出部4 1と、このドライブの場合のF A T/ディレクトリ領域の論理セクタの論理ブロックアドレス値範囲である少なくとも1 h ~ 1 3 3 h がコマンドパラメータとしてL B A [ 2 7 : 0 ] レジスタM 4に設定された値である場合に、これを検出するL B Aレジスタ設定値範囲検出部4 2と、ステータス/コマンドレジスタM 2へのデータ転送用コマンドが書き込まれたことを検出するコマンドコード書き込み動作検出部4 3と、ディスクアクセスのディスク割り込み要求信号I N T R Qの検出によるリセット部4 4と、論理ステート制御ブロック4 5とを備え、この論理ステート制御ブロック4 5は、論理ステート制御回路4 6と、サイクル時間待ち後リセット回路4 7と、そのリセット信号の論理ステート信号への入力を阻止するスイッチ4 8とを有している。

【0 1 0 5】論理ステート制御ブロック4 5では、論理ステート制御回路4 6は、セクタカウントレジスタ設定動作検出部4 1からの検出信号と、L B Aレジスタ設定値範囲検出部4 2からの検出信号とをともに受けて、所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号MC 1 1を生成する。

【0 1 0 6】そして、論理ステート制御回路4 6は、サイクル時間待ち後リセット回路4 7に待ち時間の計時を開始させる。サイクル時間待ち後リセット回路4 7は、

たとえば約400ns以内のサイクル時間待ち後に論理ステート制御回路46での所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11の発生状態をリセットする。また、この期間中にコマンドコード書き込み動作検出部43からセット入力があると、スイッチ48はオフ設定となり、以後、別途論理ステート制御回路リセット信号MC14がアドレス・制御信号生成用メモリアドレス生成コントローラ50より入力されて論理ステート制御回路46がリセットされるまではそのオフ状態を維持する。また、さらにディスクドライブ21のディスク割り込み要求信号INTRQの入力により論理ステート制御回路46のリセット入力としてもよい。そして、ディスクドライブ21からのディスク割り込み要求信号INTRQなどのリセット信号を受けた場合には、セクタカウントレジスタ設定動作検出部41およびLBAレジスタ設定値範囲検出部42へ検出状態のリセット信号を出力してリセットさせる。

【0107】次に、以上のハードウェアを使用して、CPU11のプログラム制御処理による、ハードディスクドライブ起動時のドライブ初期設定からデータ転送の処理流れAS、ファイルシステムにもとづく各フレーム映像音声データをファイル化しての読み出し書き込み処理流れBS、ATAプロトコルにもとづくPIOデータ読み出しプロトコルでの処理流れCSR、PIOデータ書き込みプロトコルでの処理流れCSW、そしてDMA転送プロトコルでのデータ転送処理流れCSDを説明する。なお、DMA転送ではコマンドコードとホストCPUのデータポートへの読み出し書き込み制御以外は読み出し書き込みの両方とも同一プロトコル処理なので、一

緒に説明する。

【0108】まず、ハードディスクドライブ起動時のドライブ初期設定からデータ転送の処理流れASについて説明する。図9はハードディスクドライブ起動時のドライブ初期設定からデータ転送の処理の流れを示すフローチャートである。ハードディスクドライブの初期設定として、デバイス選択処理(ステップAS1)、デバイス機能判別処理(ステップAS2)、およびデバイス機能設定処理(ステップAS3)が順次行われる。

【0109】ステップAS1のデバイス選択処理においては、ATAホストインタフェース回路17を介して、LBA[27:24]を含むデバイス/ヘッドレジスタへデバイス0(あるいはデバイス1)とするデバイス選択コマンドコードの書き込みを行い、ステータスレジスタを読み出して、デバイスが選択準備されたことを確認する。このときのコマンドはディスクデバイス全体を論理ブロックアドレスのデバイスとして扱うときには「INITIALIZE DEVICE PARAMETERS(91h)」である。なお、ディスクドライブをシリンドラ/ヘッド/セクタ(CHS)で指定する場合は、

「EXECUTE DEVICE DIAGNOSTIC(90h)」のコマンドを使う。これらにはディスクとのワードデータの転送はない。

【0110】次いで、ステップAS2のデバイス機能判別処理においては、コマンドブロックレジスタへコマンドパラメータの書き込みを行い、デバイス機能判別を行ってもよい。この場合のコマンドは「IDENTIFY DEVICE(ECh)」であり、ディスクドライブからのPIOデータ読み出し処理により、ドライブ機能の記述されているデータとして1セクタ分、256ワードを読み出す。この処理はドライブ機能があらかじめ判っていれば省略可能である。

【0111】次いで、ステップAS3のデバイス機能設定処理においては、コマンドブロックレジスタへのコマンドパラメータおよびコマンドコードの書き込みを行う。この際のコマンドは「SET FEATURES(EFh)」である。これらにはデータの転送はない。

【0112】以上が前処理であり、ここで、特にメモリアドレス生成コントローラ18にとっては、これはディスク上の論理セクタをレジスタ指定してデータ転送するものではないので、応答は発生しない。このため、ディスクドライブ21への機能設定処理の際のINTRQを含むATAプロトコルを妨害しない。

【0113】以上のハードディスクドライブの初期設定が終了すると、次に、デバイスデータ転送(読み書き)処理を行う(ステップAS4)。これはデータ転送プロトコルであり、デバイス機能判別結果により取得した転送モード、ドライブ仕様などにもとづき、「READ SECTORS(20h)」、「WRITE SECTORS(30h)」、「READ DMA(E8h)」、「WRITE DMA(CAh)」などの読み出し書き込み系の各コマンドを使用してデータ転送を行う。

【0114】これらのコマンドは、メモリアドレス生成コントローラ18を介してデータメモリ19内のFAT領域のデータ、ハードウェアの都合上さらにブートレコード領域、さらにファイルシステムの必要に応じてFATのコピー領域、ディレクトリエントリ領域のデータにアクセスする場合、また通常のハードディスクとの間でデータ領域のデータにアクセスする場合に使用する。

【0115】なお、ステップAS1からステップAS3までの初期設定処理以降については、データ転送の必要に応じて、デバイスデータ転送(読み書き)処理AS4のみを行う。

【0116】次に、ファイルシステムにもとづき1ファイル中の連続データとして各フレーム映像音声データの集合全体を1ファイル化し、読み出し書き込みを行う処理の流れBSについて説明する。

【0117】図10はファイルシステムで1ファイルデータとして連続する各フレーム映像音声データをファイ

ル化して読み出し書き込みする処理の流れを示すフローチャートである。

【0118】連続する映像音声データの読み出し書き込みに先立って、メモリ15上のファイルシステムプログラム中でディスクファイルシステムのパラメータ設定を行う（ステップBS1）。これには、ブートレコード領域のデータ読み出しによりディスクパラメータを取得するか、あるいはプログラム引数での事前のパラメータ設定などでディスク上のファイルシステムの管理情報パラメータが記録されているFAT領域、ディレクトリエン

トリ領域のデータを取得する。

【0119】また、ここで、前述の図示しないアドレスデコーダを介して、これも図示しないメモリインタフェース内部レジスタクリアにより、メモリインタフェース機能をオフさせて、ディスクドライブ21のブートレコード領域、FAT領域のデータ、およびファイルシステムの必要に応じてFATのコピー領域、ディレクトリエン

トリ領域のデータを一旦読み出して、図示しない別アドレスを介したアドレスデコーダによりデータメモリ19に転送しておく必要がある。そして、その後、メモリ

インタフェースコントローラ18の図示しない内部レジスタを設定してメモリインタフェース機能をイネーブルにする。この処理以降、データメモリ19はディスクファイルシステムのファイル管理情報データ、特にFATデータを保有し、ディスクドライブ21はそれ以外の、データ領域などを使用する。

【0120】次に、プログラム上で1フレーム映像音声データ転送サイズのプログラム引数でのパラメータ設定処理を行う（ステップBS2）。これにより、この映像音声データの1フレーム単位の使用クラスタ個数が指定

される。

【0121】次に、ディレクトリからの指定ファイルのエントリ（開始クラスタ番号）の読み出し、あるいは新規ファイルの作成の場合は書き込み処理を行う（ステップBS3）。ここで、ディレクトリエン

10

20

30

40

50

トリエン

21との間で連続データである映像音声データをディスクドライブ21内部の16ビットワード幅データレジスタへの読み書き処理を行う。ここで、論理セクタ数で指定されたセクタデータ（＝512バイト、256ワード）個数をLBA[27:0]コマンドパラメータに指定されたディスク上の論理セクタ位置である、データ転送開始論理ブロックアドレス位置からセクタ単位でデータ転送を繰り返し行い、この処理により複数論理セクタ集合のクラスタ単位で読み出しあるいは書き込み処理が行われる。

【0124】また、最終クラスタでは、前述のディレクトリエン

トリ指示のデータサイズの残りデータ数をセクタ単位で転送する。なお、ディスクドライブ21では、セクタ単位のデータ転送は各セクタの途中までのデータ転送を行うと、その後はセクタの残りのデータ領域に自動的にフォーマットデータが書き込まれ、その1セクタのデータ領域全体に対して末尾にECC（Error Correcting Code）多項式による誤り訂正コードECCが書き込まれる処理が行われているので、特に各セクタ内の残りデータ部分への特定コードの追加書き込み処理は必要ない。

【0125】さらに、ここでの一連の1映像音声フレームのデータ転送の後の、次の1映像音声フレームの最初のデータ転送は、ファイルシステムの1論理ブロックである1クラスタ内でのディスク上の物理的データセクタに対応する次の1セクタからとする。あるいは、ここで別の処理方法として、次の1クラスタの最初のセクタを使用することとしてもよい。各クラスタ内の残りセクタの未使用が毎回生じ、ディスク容量に浪費が発生する

が、クラスタ単位で扱うファイルシステム処理が容易になる。

【0126】次に、指定クラスタ数の読み書きが完了したか否かの判断処理を行う（ステップBS6）。指定クラスタ数とは、ステップBS2にて指定した、映像音声データの1フレーム単位の相当する指定クラスタ数である。この判断処理で、クラスタ数の転送が未だ完了していないならば、No判断により、FAT内のクラスタチェーンの次のクラスタ番号を読み出す（ステップBS7）。この処理は論理ブロックアドレスがFATの範囲内なので、メモリインタフェースコントローラ18を介してデータメモリ19にデータアクセスして行っている。

【0127】引き続いて、ステップBS5により、ディスクドライブとの間で1クラスタ単位のセクタごとの16ビットワードデータの転送を行う。これを1フレーム映像音声データに相当する連続データの指定クラスタ数分の読み書きを完了するまで行い、ステップBS6によりYes判断がなされる。

【0128】次に、映像音声データ1フレーム転送完了処理および次の映像音声データ転送準備処理を行う（ス

テップBS8)。これは、たとえば映像音声データ入出力回路16がその内部に2つのバンクメモリを有して、映像音声データの有するフレーム時間と同期させて、1フレーム時間ごとに交互に切り替え、片方をディスクドライブ21とのデータ転送バッファメモリに使用し、もう片方を外部映像音声データとの映像音声データ入出力転送バッファメモリに使用し、それぞれのデータ転送を各1映像音声フレーム時間内で転送完了させる処理を行うものであってよい。

【0129】この場合には、上述のステップBS8での転送完了処理および転送準備処理とは、片方の内部メモリから1フレームの映像音声データを読み出してディスクドライブ21に書き込みデータ転送完了した後で、次に他方の内部メモリに切り替えて外部から入力されて用意されている1フレームの映像音声データを読み出し、ディスクドライブ21へ書き込みデータ転送準備をすること、あるいは、その片方の内部メモリにディスクドライブ21から読み出した1フレームの映像音声データを書き込み終えた後で他方の内部メモリに切り替えて、次にディスクドライブ21から読み出されてくる1フレームデータをこの内部メモリに書き込み準備することである。

【0130】次には、連続する全映像音声データの転送、読み書きが完了したかどうかの判断処理を行う（ステップBS9）。これは、連続する各フレームの多数で成り立つ、映像音声データの連続するフレームデータからなる、1ファイルの転送が完了したか否かの判断処理である。たとえば1フレームが1/30秒の映像音声データの場合ならば、1ファイルが1分長さの場合では1800フレーム、1時間長さでは108000フレームの連続データとなる。映像音声データ入出力回路16から入力した連続映像音声データをディスクドライブ21に書き込みする際には、映像音声の1番組、1連続撮影編集ショットが完了したこと、あるいはディスクドライブ内のファイル化された連続映像音声データの1ファイルの読み出しが完了したか否かを判断することが1ファイルデータの転送が完了したことに相当する。

【0131】ここで、1ファイルデータの転送が完了していないとの判断を得た場合には、Noの判断処理になり、プログラム引数での次の1フレームのディスクドライブ21の連続するクラスタ個数分追加読み出しあるいは追加書き込みを設定する処理を行う（ステップBS10）。そして、ステップBS7にてFAT内のクラスタチェーンの次のクラスタ番号を読み出しあるいは書き込みする処理をメモリインタフェースコントローラ18に対して行い、ステップBS5にて再びディスクドライブ21に対してクラスタ単位でのデータ転送処理を行う。

【0132】なお、ステップBS9の判断処理において、1ファイルデータの転送が完了し、Yesの判断処理になる場合には、ディスクドライブ21との間で1フ

イルデータの転送処理が完了したことになる。

【0133】以上でファイルシステム自体の1ファイルの転送処理は終えるが、ここで、後処理として、前述の図示しない別アドレスのメモリアドレスデコードを介して、メモリインタフェースコントローラ18の内部に設けられている、これも図示しない機能設定レジスタをクリアすることによりメモリインタフェース機能をオフさせた後、この図示しない別アドレスのメモリアドレスデコードを介してファイルデータ転送開始前にデータメモリ19に一旦読み出してあって、メモリ15上のディスクファイルシステムの処理動作によりファイル転送中にFAT内のクラスタチェーンのデータが更新されたブートレコード、FATデータおよびファイルシステムの仕様の必要に応じてFATのコピー、ディレクトリデータをディスクドライブ21の対応するブートレコード領域、FAT領域などに書き戻す。この後処理を行えば、ディスクドライブ21はディスクファイルシステムのファイル管理情報データ、特に更新されたFATデータをディスク上にデータ領域などとともに記録保存される。また、この後処理を行わずとも、ディスクドライブ21がリムーバブルディスクタイプでなくて、かつデータメモリ19が電池によってバックアップされるようにする、あるいはデータメモリ19として不揮発性の書き込み可能なメモリデバイスを使用することにすれば、ディスクドライブ21に更新されたデータを書き戻すことなく、そのままであってもよい。

【0134】以上の1ファイルデータの転送において、処理ステップBS7および処理ステップBS10は、連続する論理ブロックアドレスである論理セクタに連続映像音声データを書き込んでいく際に、ディスクドライブ21のディスク上の論理セクタの所定範囲内の論理ブロックアドレス内までヘッドアーム部をアクセスして目的の論理セクタをディスク回転待ちする時間およびそれからディスク上の元の位置に復帰させ1ファイル内の次の論理セクタあるいはクラスタに連続映像音声データを書き込むためのアクセス時間と回転待ち時間の合計の時間不連続である約30ミリ秒が発生せず、代わりに次の論理セクタあるいはクラスタからのデータ転送のためにディスク1回転の回転待ちを行うための時間不連続である10ミリ秒だけで済むため、残りの23ミリ秒でデータ転送処理を完了させることができ、ファイルシステムを使用してのリアルタイムな映像音声データ転送が実現される。

【0135】なお、特に上述の処理流れ説明ではFAT領域のクラスタチェーンデータをデータメモリ19に転送して用意する前処理および後処理として、別途図示しないアドレスデコード回路を介してデータメモリ19へアクセスすることとしたが、別途のアドレスデコード回路を用いずに、後述のプロトコルにおいて示すように、（コマンドコードを書き込んでから後の400ns時間



待ちではなくて) コマンドパラメータを LBA [27:0] レジスタに設定してからコマンドコードをコマンドレジスタに書き込むまでの間に少なくとも 400 ns 以上時間待ちする処理を設けることにより、メモリインタフェースへのアクセス経路切り替えを自動的にリセットさせて、ディスクドライブ 21 内の FAT 領域を含むファイルシステム管理情報パラメータ領域にアクセスして、そのデータをメモリ 15 に一旦ストアさせて、そのデータを今度は同じくコマンドパラメータの LBA [27:0] レジスタに論理ブロックアドレスを設定してからサイクル時間待ち後リセット回路 47 の待ち時間である 400 ns 以内にコマンドコードを書き込めばメモリインタフェースコントローラ 18 を介してファイルシステム用のデータメモリ 19 にアクセスでき、メモリ 15 から FAT 領域のデータを転送することとしてもよい。この場合、プロトコルタイミングおよびデータ転送経路が複雑になるが、ハードウェア構成はより簡素になる。

【0136】ここで、ディスクドライブ 21 およびメモリインタフェースコントローラ 18 を介して行うデータメモリ 19 とのデータ転送処理について説明する。本実施の形態では、ATA プロトコルに従って、その処理において一般にドライブの有するレジスタへのコマンドパラメータ設定の後、内部で設定値が確定するまでの一定の処理待ち時間である、約 400 ns の待ち時間処理を行うことを利用してメモリインタフェースコントローラ 18 とディスクドライブ 21 とを区別してデータ転送処理を行わせている。

【0137】データ転送プロトコルは、ディスクドライブ 21 に対して ATA-4 標準で周知の ATA プロトコルで行うが、特にここで FAT 内のクラスタチェーンのデータ更新処理のために LBA [27:0] レジスタの転送開始論理ブロックアドレス値が 0h ~ 133h の範囲内であったときは、データ転送先を切り替えてメモリインタフェースコントローラ 18 を介してデータメモリ 19 に FAT のクラスタチェーン更新のデータ転送を行うので、以下にこの処理の流れを中心に説明する。なお、データ転送プロトコルは PIO または DMA 転送プロトコルの場合であるが、Ultra DMA 転送プロトコルおよび今後の ATA の拡張にもとづくデータ転送プロトコルの場合は、その転送プロトコルに従い、本プロトコル処理を同様に行うことが可能である。

【0138】次に、ホストバス (CPU) 側のデバイスから PIO 転送プロトコルによりデータを読み出す処理手順 CSR について説明する。図 11 はホストバス側のデバイスからの PIO データ読み出し処理の流れを示すフローチャートである。

【0139】まず、LBA [27:24] を含むデバイス/ヘッドレジスタへの書き込み処理によって、ディスクドライブ 21 はデバイス 0 であるかデバイス 1 であるかのデバイス選択処理を行う (ステップ CSR 1)。

【0140】次いで、ステータスレジスタの読み出し処理が行われる (ステップ CSR 2)。これは、ディスクドライブ 21 の内部レジスタが BSY=0 および DRQ=0 となって、上述のデバイス選択処理の受付が完了したことを判断するためである。なお、このときメモリインタフェースコントローラ 18 の内部の LBA [27:0] レジスタ M4 内の LBA [27:24] を含むバイト長レジスタのデバイス/ヘッドレジスタは、デバイス選択のための書き込みを受けているが、その状態を反映すべきステータス/コマンドレジスタ M2 はディスクドライブ 21 の内部ステータス/コマンドレジスタとのデータ衝突を防止するために、初期状態ではレジスタデータ読み出しには出力高インピーダンスで応答する。このアクセスディスエーブル状態は後述の論理ブロックアドレスによるコントロール線、データ線の切り替えによってイネーブル化され、コントロール線、データ線の切り替えの復帰で再度ディスエーブルに処理される。

【0141】次いで、コマンドパラメータをレジスタへ設定する (ステップ CSR 3)。この設定処理により、セクタカウントレジスタ M3 にセクタ転送数が設定され、LBA [27:24]、LBA [23:16]、LBA [15:8]、LBA [7:0] の各レジスタを総合しての LBA [27:0] レジスタ M4 に論理ブロックアドレスのコマンドパラメータ値が設定される。

【0142】ここで、ディスクドライブ 21 内のファイルシステムによる FAT 領域内のクラスタチェーンを含むアドレス範囲内 (この場合は  $\leq 133h$ ) にその転送開始設定値があることを、メモリインタフェースコントローラ 18 内の論理ステート制御回路 46 が判別した場合には、論理ブロックアドレスの設定値によるディスクドライブ 21 およびメモリインタフェース側でのコントロール線、データ線の切り替え処理が行われる (ステップ CSR 4)。

【0143】ここでの切り替え処理では、論理ステート制御回路 46 から所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号 MC11 がアドレス・制御信号生成用メモリインタフェースコントローラ 50 に入力されてメモリアドレス生成準備がされ、かつコントロールバス B3 のディスクドライブ 21 への切り替え回路 20 がオフされる。

【0144】次いで、ホストバス側はコマンドコードのコマンドレジスタへの設定処理を行う (ステップ CSR 5)。ここで、ATA プロトコルには影響ないが、このステップ CSR 5 で設定処理を行うまでに 400 ns 以上ホストバス側が処理を待つならば、ステップ CSR 4 において、論理ブロックアドレスの所定範囲検出によるコントロール線、データ線の切り替え処理はサイクル時間待ち後リセット回路 47 の動作により復帰され、コントロール線、データ線はディスクドライブ 21 側に復帰され、アドレス・制御信号生成用メモリインタフェース

コントローラ50の使用はディスエーブルにされる。この処理待ち時間を切り替える処理は、前述のディスクとのFAT領域のデータへのアクセスと、ファイルシステム用のデータメモリ19へのアクセスとのアクセス先を切り替える際に使用することができる。

【0145】ステップCSR5のコマンドコードの設定処理に続き、ATA-4標準プロトコルの400ns待つ処理を行う（ステップCSR6）。そして、メモリインタフェースコントローラ18より、メモリINTRQ信号の発生処理がなされる（ステップCSR7）。

【0146】これを受けたホストバス側は、メモリ内のステータスレジスタを読み出し、BSY=0およびDRQ=1としてデバイス側がデータ転送準備完了の確認処理を行う（ステップCSR8）。あるいは、ここで、データ転送準備完了のYes判断を得るまでオルタネートステータスレジスタの読み出しループ処理による待ち処理を繰り返してもよい。

【0147】データ転送準備完了のステータスレジスタM2において、BSY=0およびDRQ=1の設定状態が読み出されることにより、メモリインタフェースコントローラ18内部でメモリINTRQ発生が自動的にクリア処理される（ステップCSR9）。

【0148】この割り込み処理が完了したならば、ホストバス側はメモリインタフェースコントローラ18を介してデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路M6への読み出しアクセスによりワードデータ転送処理を行う（CSR10）。

【0149】次に、転送ブロック終了判断処理が行われる（ステップCSR11）。ここで、No判断処理の場合はステップCSR10に戻るようにしたことにより、1転送ブロックである1セクタデータのワード転送回数を終了しない場合は、メモリインタフェースコントローラ18はデータレジスタからのワードデータ転送処理を繰り返す。

【0150】転送ブロック終了判断処理ステップCSR11により、1セクタ=256回のワード転送により512バイト転送が完了したYes判断を行った場合は、次の全データの転送終了の判断処理を同じくメモリインタフェースコントローラ18内部で行う（ステップCSR12）。

【0151】全データの転送終了判断処理ステップCSR12において、セクタカウントレジスタにあらかじめ設定してあったセクタ転送数に達していないと判断したら、メモリインタフェースコントローラ18はNo判断を行い、元に戻ってメモリINTRQ割り込み要求信号をホストに送り出す処理ステップCSR7を行うことをループ処理で繰り返し、次のセクタのワードデータ転送処理の繰り返しへと続く。

【0152】セクタカウントレジスタの設定回数からデータ転送終了と判断した場合には、Yes判断処理によ

り、続いてメモリインタフェースコントローラ18内のステータスレジスタM2の読み出し処理を行う（ステップCSR13）。

【0153】これを受けて、メモリインタフェースコントローラ18内の論理ステート制御回路46は所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11の出力を不可にし、これにともない、コントロール線、データ線の切り替え処理を復帰させる処理を行い、ディスクドライブ21との通常のデータ転送が可能なハードウェア状態に復帰させる（ステップCSR14）。

【0154】以上がPIOデータ読み出し転送処理流れの説明である。次に、ホストバス側のデバイスからPIO転送プロトコルでデータを書き込む手順CSWについて説明する。

【0155】図12はホストバス側のデバイスからのPIOデータ書き込み処理の流れを示すフローチャートである。デバイスコントロールレジスタへの書き込み処理によって、ディスクドライブ21のデバイス0またはデバイス1の選択処理を行う（ステップCSW1）。

【0156】次いで、ステータスレジスタの読み出し処理が行われる（ステップCSW2）。これは、ディスクドライブ21の内部レジスタがBSY=0およびDRQ=0となって上述のデバイス選択処理の受付が完了したことを判断するためである。なお、このときメモリインタフェースコントローラ18の内部のLBA[27:0]レジスタM4の内の、LBA[27:24]を含むバイト長レジスタのデバイス/ヘッドレジスタは、デバイス選択のための書き込みを受けているが、その状態を反映すべきステータス/コマンドレジスタM2はディスクドライブ21の内部ステータス/コマンドレジスタとのデータ衝突を防止するために、初期状態ではレジスタデータ読み出しには出力高インピーダンスで応答する。このアクセスディスエーブル状態は後述の論理ブロックアドレスによるコントロール線、データ線の切り替えによってイネーブル化され、コントロール線、データ線の切り替えの復帰で再度ディスエーブルに処理される。

【0157】次いで、コマンドパラメータをレジスタへ設定する（ステップCSW3）。この設定処理により、セクタカウントレジスタM3へセクタ転送数が設定され、LBA[27:24]、LBA[23:16]、LBA[15:8]、LBA[7:0]の各レジスタを総合してのLBA[27:0]レジスタM4へ論理ブロックアドレスのコマンドパラメータ値が設定される。

【0158】ここで、ディスクドライブ21内のファイルシステムによるFAT内のクラスタチェーンを含むアドレス範囲内（この場合は $\leq 133h$ ）にその転送開始設定値があることを、メモリインタフェースコントローラ18内の論理ステート制御回路46が判別した場合には、論理ブロックアドレスの設定値によるディスク

ライブ21およびメモリインタフェース側でのコントロール線およびデータ線の切り替え処理が行われる（ステップCSW4）。

【0159】ここでの切り替え処理では、論理ステート制御回路46から所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11が出力され、これがアドレス・制御信号生成用メモリインタフェースコントローラ50に入力されてメモリアドレス生成の準備がなされ、かつコントロールバスB3のディスクドライブ21への切り替え回路20がオフされる。

【0160】次いで、ホストバス側はPIO書き込み系コマンドコードのコマンドレジスタへの設定処理を行う（ステップCSW5）。ここで、ATAプロトコルには影響ないが、この処理ステップCSW5を行うまでに400ns以上ホストバス側が処理を待つならば、処理ステップCSW4において、論理ブロックアドレスの所定範囲検出によるコントロール線、データ線の切り替え処理はサイクル時間待ち後リセット回路47の動作により復帰され、コントロール線、データ線はディスクドライブ21側に復帰され、アドレス・制御信号生成用メモリインタフェースコントローラ50の使用はディスエーブルにされる。

【0161】ステップCSW5のコマンドコードの設定処理に続き、ATA-4標準プロトコルの400ns待つ処理を行う（ステップCSW6）。ホスト側はこれに引き続き、メモリ内のステータスレジスタでBSY=0およびDRQ=1としてデバイス側がデータ転送準備完了を示すか否かの判断処理を行う（ステップCSW7）。これは、データ転送準備完了のYes判断を得るまでループにより処理を繰り返す。

【0162】そして、データ転送準備完了を示すメモリ内のステータスレジスタのBSY=0およびDRQ=1を確認したら、続いてメモリインタフェースコントローラ18を介してデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路M6への書き込み制御信号アクセスによりワードデータ転送処理を行う（ステップCSW8）。

【0163】次に、転送ブロック終了判断処理が行われる（ステップCSW9）。この判断処理によって、1セクタ=256回のワードデータ、すなわち512バイトデータ転送を終了しない場合は、No判断処理により、ワードデータ転送処理ステップCSW8を繰り返す。

【0164】転送ブロック終了判断処理ステップCSW9により、1セクタ=256回のワードデータ転送により512バイト転送が終了したYes判断をメモリインタフェースコントローラ18内で行ったら、続いて、メモリインタフェースコントローラ18はメモリINTRQ信号をホストバス側のCPUに送り出す処理を行う（ステップCSW10）。

【0165】これを受けたCPUは、メモリインタフェースコントローラ18内のステータスレジスタを読み出し処理を行うことによってメモリインタフェース割り込み要求に応答する（ステップCSW11）。

【0166】これを受けたメモリインタフェースコントローラ18はステータスレジスタの読み出し処理を受けて、CPUへ割り込み要求するメモリINTRQ信号の取り下げ処理を行う（ステップCSW12）。

【0167】メモリインタフェースコントローラ18は、メモリINTRQ信号の取り下げ処理ステップCSW12に引き続いて、全データの転送終了判断処理を行う（ステップCSW13）。この判断処理において、セクタカウンタレジスタにあらかじめ設定されていたセクタ転送数に達しないと判断したら、メモリインタフェースコントローラ18はNo判断を行い、元に戻って次のセクタのデータ転送をワード単位で行うワードデータ転送処理ステップCSW8へと続き、次のセクタのワードデータ転送を引き続き繰り返す。

【0168】全データの転送終了判断処理ステップCSR13において、メモリインタフェースコントローラ18が全データ転送終了したと判断したら、メモリINTRQ信号の発生処理がなされる（ステップCSW14）。

【0169】次いで、CPUは、メモリインタフェースコントローラ18内のステータスレジスタM2に対してBSY=0およびDRQ=0状態のステータスレジスタM2を読み出す処理を行う（ステップCSW15）。これにより、メモリインタフェースコントローラ18内部ではメモリINTRQ発生が自動的にクリア処理される（ステップCSW16）。

【0170】この割り込み処理が完了したならば、これを受けて、メモリインタフェースコントローラ18内の論理ステート制御回路46は所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号MC11の出力を不可にし、これにともない、コントロール線、データ線の切り替え処理を復帰させる処理を行い、ディスクドライブ21との通常のデータ転送が可能なハードウェア状態に復帰させる（ステップCSW17）。

【0171】以上がPIOデータ書き込み転送処理流れの説明である。次に、DMAデータ転送処理流れの説明を行うが、DMA転送ではコマンドコードおよびCPUのデータポートへの読み出し書き込み制御以外は読み出し書き込みの両方とも同一プロトコル処理なので一緒に説明する。

【0172】図13はホストバス側のデバイスからのDMAデータ転送処理の流れを示すフローチャートである。まず、デバイスコントロールレジスタへの書き込み処理によって、デバイス0、デバイス1の選択処理を行う（ステップCSD1）。

【0173】次いで、ステータスレジスタの読み出し処理を行う（ステップCSD2）。これは、ディスクドライブ21の内部レジスタがBSY=0およびDRQ=0となって上述のデバイス選択処理の受付が完了したことを判断するためである。なお、このときメモリーインタフェースコントローラ18の内部のLBA[27:0]レジスタM4の内の、LBA[27:24]を含むバイト長のレジスタであるデバイス／ヘッドレジスタは、デバイス選択のための書き込みを受けているが、その状態を反映すべきステータス／コマンドレジスタM2はディスクドライブ21の内部ステータス／コマンドレジスタとのデータ衝突を防止するために、初期状態ではレジスタデータ読み出しには出力高インピーダンスで応答する。このアクセスディスエーブル状態は後述の論理ブロックアドレスによるコントロール線、データ線の切り替えによってイネーブル化され、コントロール線、データ線の切り替えの復帰で再度ディスエーブルに処理される。

【0174】次に、コマンドパラメータのレジスタへの設定処理を行う（ステップCSD3）。これにより、セクタカウントレジスタへのセクタ転送数および、LBA[27:24]、LBA[23:16]、LBA[15:8]、LBA[7:0]の各レジスタを総合してのLBA[27:0]レジスタへの論理ブロックアドレスのコマンドパラメータ値の設定処理が行われる。ここで、ディスクドライブ21内のファイルシステムによるFAT内のクラスタチェーンを含むアドレス範囲内（この場合は<=133h）にその転送開始設定値があることを、メモリーインタフェースコントローラ18内の論理ステート制御回路46が判別した場合には、論理ブロックアドレスの設定値によるディスクドライブ21側およびメモリーインタフェースコントローラ18側でのコントロール線、データ線の切り替え処理が行われる（ステップCSD4）。

【0175】ここでの切り替え処理では、論理ステート制御回路46から所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号MC11が出力され、これがアドレス・制御信号生成用メモリーインタフェースコントローラ50に入力されてメモリアドレス生成準備がなされ、かつディスクドライブ21へのコントロールバスB3が切り替え回路20によりオフされる。

【0176】次いで、ホストバス側はDMA転送系またはUltra DMA転送系コマンドコードのコマンドレジスタへの設定処理を行う（ステップCSD5）。ここで、ATAプロトコルには影響ないが、処理ステップCSD5を行うまでに400ns以上ホストバス側が処理を待つならば、処理ステップCSD4において論理ブロックアドレスの所定範囲検出によるコントロール線、データ線の切り替え処理はサイクル時間待ち後リセット回路47の動作により復帰され、コントロール線、データ

線はディスクドライブ21側に復帰され、メモリーインタフェースコントローラ18の使用はディスエーブルにされる。

【0177】コマンドコードの設定処理ステップCSD5に続き、ATA-4標準プロトコルの400ns待つ処理を行う（ステップCSD6）。デバイス側のメモリーインタフェースコントローラ18はこの時間待ちの処理に続き、データ転送準備完了およびホストバス側にデータ転送要求を示すDMARQをデータ転送期間中は発し続ける処理を行う（ステップCSD7）。

【0178】このDMARQの発生状態を受けたホストバス側はIOR-、IOW-とともにメモリーインタフェース5を介してデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路M6に対して、DMAデータ転送制御信号DMACK-をワードデータ単位で発生し、アクセスすることによりワードデータ転送処理を行う（ステップCSD8）。

【0179】ここで、デバイス側において、転送ブロック終了判断処理が行われる（ステップCSD9）。この判断処理により、セクタカウントレジスタの設定回数を終了しない場合は、No判断処理により、ステップCSD7へ進んで、DMARQ信号発生状態を継続したまま引き続き、ホストバス側において、ステップCSD8の処理であるDMACK-によるアクセスを繰り返す。

【0180】デバイス側において、ステップCSD9での判断処理がYesの場合には、メモリーインタフェースコントローラ18によりメモリーINTRQ信号の発生処理がなされる（ステップCSD10）。

【0181】次に、データブロック転送完了を示す、メモリ内のステータスレジスタM2に対してBSY=0およびDRQ=0状態のステータスレジスタM2を読み出す処理を行う（ステップCSD11）。これにより、メモリーインタフェースコントローラ18内部では、メモリーINTRQ発生は自動的にクリア処理される（ステップCSD12）。

【0182】この割り込み処理が完了したならば、これを受けて、メモリーインタフェースコントローラ18内の論理ステート制御回路46は論理ステート制御回路46で所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11の出力が不可にされ、これに伴い、コントロール線、データ線の切り替え処理を復帰させる処理を行い、ディスクドライブ21との通常のデータ転送が可能なハードウェア状態に復帰させる（ステップCSD13）。

【0183】以上がDMAデータ読み出し書き込みの転送処理流れの説明である。このように、DMA転送の場合は、各セクタごとの割り込み要求信号発生がないので、処理が簡素化され、セクタごとの割り込み処理時間発生がない分だけ高速処理ができる。

【0184】図14はPIO読み出し動作でのメモリー

インタフェースコントローラのデータ転送の動作説明図である。この図では、転送開始設定値がディスクドライブ 21 内のファイルシステムによる F A T 内のクラスタチェーンを含むアドレス範囲内（この場合は  $\leq 133h$ ）であることを、メモリーインタフェースコントローラ 18 内の論理ステート制御回路 46 が判別した場合に、データメモリ 19 とのデータ転送を行う動作を説明している。

【0185】まず、デバイス／ヘッドレジスタへデバイス選択コードを書き込むことにより、デバイス選択が行われる。次に、ディスクドライブ 21 内部のステータスレジスタにより、ドライブ内部で処理中の B S Y ビットおよびデバイスからのデータ転送準備完了の D R Q ビットを D R Q = 0、B S Y = 0 にセットする。次いで、ステータスレジスタのステータスコードを読み出して、D R Q = 0、B S Y = 0 のセットによりディスクデバイスが選択セットされた状態を確認する。

【0186】次いで、コマンドパラメータの設定に入る。まず、セクタカウントレジスタにセクタ転送カウント数を設定する。続いて、4 個のレジスタからなる L B A [27:0] レジスタにセクタ転送開始位置として 28 ビットの転送開始論理ブロックアドレス値を設定する。

【0187】続いて、論理ステート制御回路 46 によるコントロールバス B 3 のディスクインタフェース切り替え動作を行うとともに、サイクル時間待ち後リセット回路 47 が所定時間、たとえば 400 n s の、計時を開始する。ここでは、メモリーインタフェースコントローラ 18 を選択する動作説明であるので、転送開始設定値がディスクドライブ 21 内のファイルシステムによる F A T 内のクラスタチェーンを含むアドレス範囲内（このディスクドライブの場合の設定値範囲内である  $\leq 133h$ ）であることをメモリーインタフェースコントローラ 18 内の論理ステート制御回路 46 が判別した場合には、データメモリ 19 とのデータ転送を行う動作になる。ここでの切り替え動作は、論理ステート制御回路 46 での所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号 M C 11 の出力が、アドレス・制御信号生成用メモリーインタフェースコントローラ 50 に入力されてメモリアドレス生成準備がされ、かつコントロールバス B 3 のディスクドライブ 21 への切り替え回路 20 をオフさせる。この切り替え回路 20 のオフ状態は再びステータスレジスタが読み出されて、データ転送中止リセットあるいはデータ転送完了を示すまで継続する。

【0188】続いて、コマンドレジスタへの P I O 読み出し系コマンドコードの書き込み動作を行う。この結果、これはサイクル時間待ち後リセット回路 47 の出力側にあるスイッチ 48 をオフさせて、論理ステート制御回路 46 での所定の論理ブロックアドレス範囲の指定さ

れたことを示すメモリアドレス生成イネーブル信号 M C 11 の出力が、その後のデータ転送中はアドレス・制御信号生成用メモリーインタフェースコントローラ 50 に入力され続け、また同様にコントロールバス B 3 のディスクドライブ 21 への切り替え回路 20 をオフ状態のまま維持させる動作をする。

【0189】この後、ホスト側は 400 n s の待ち時間を設けた後、次の動作に入る。コマンドレジスタへのコマンドコード書き込みを受けて、今度は、メモリーインタフェースコントローラ 18 は内部のステータスレジスタ M 2 にデバイスデータ転送準備完了を示す B S Y = 0、D R Q = 1 をセットし、メモリー I N T R Q 信号を発生させる。ホスト側はステータスレジスタの読み出しを行ってデバイスデータ転送準備完了を確認し、デバイス側はこれによってメモリー I N T R Q 信号をクリアする。続いて、ホスト側はデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路 M 6 への読み出し制御信号アクセス I O R を発することにより、ワード単位のデータ転送を 1 セクタ分、繰り返しデータ転送する。A T A - 3 標準では 1 セクタは 256 ワードである。このメモリーインタフェースコントローラ 18 のメモリー I N T R Q 信号の発生とホスト側のステータスレジスタ読み出し処理に続くセクタデータの転送を、セクタカウントレジスタの転送セクタ数分だけ繰り返し動作を行う。

【0190】全データの転送が終了したら、デバイス側はステータスレジスタに D R Q = 0、B S Y = 0 の転送完了状態を設定し、ホストがこのレジスタを読み出す動作に続いて、サイクル時間待ち後リセット回路 47 の出力のスイッチ 48 をオフからオンに復帰させて、論理ステート制御回路 46 での所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号 M C 11 の出力もリセットされて、コントロールバス B 3 のディスクドライブ 21 への S W 切り替え回路 20 をオン状態に復帰する動作が続く。

【0191】ここで、ホスト側のプログラム処理は、毎回のステータスレジスタの読み出しでフラグをセットし、デバイスからのメモリー I N T R Q 信号の発生でフラグをクリアさせることにより、各段階のプログラムを切り替え処理することで A T A プロトコルのデータ転送を実現することとしてもよい。

【0192】図 15 は P I O 書き込み動作でのメモリーインタフェースコントローラのデータ転送の動作説明図である。この図では、転送開始設定値がディスクドライブ 21 内のファイルシステムによる F A T 内のクラスタチェーンを含むアドレス範囲内（この場合は  $\leq 133h$ ）であることをメモリーインタフェースコントローラ 18 内の論理ステート制御回路 46 が判別した場合に、データメモリ 19 とのデータ転送を行う動作を説明している。

【0193】まず、デバイス／ヘッドレジスタへの書き込みにより、デバイス選択を行う。次に、ディスクドライブ21内部のステータスレジスタにより、ドライブ内部でDRQ=0、BSY=0をセットする。次いで、ステータスレジスタのステータスコードを読み出して、DRQ=0、BSY=0のセットによりディスクデバイスが選択セットされた状態を確認する。

【0194】次いで、コマンドパラメータの設定に入る。まず、セクタカウントレジスタにセクタ転送カウント数を設定する。続いて、4個のレジスタからなるLB

A[27:0]レジスタにセクタ転送開始位置として28ビットの転送開始論理ブロックアドレス値を設定する。

【0195】続いて、論理ステート制御回路46によるコントロールバスB3のディスクインタフェース切り替え動作を行うとともに、サイクル時間待ち後リセット回路47が所定時間、たとえば400nsの、計時を開始する。ここでは、メモリインタフェースコントローラ18を選択する動作説明であるので、転送開始設定値がディスクドライブ21内のファイルシステムによるFAT内のクラスタチェーンを含むアドレス範囲内（この場合は $\leq 133h$ ）であることをメモリインタフェースコントローラ18内の論理ステート制御回路46が判別した場合には、データメモリ19とのデータ転送を行う動作になる。ここでの切り替え動作では、論理ステート制御回路46から出力された、所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11が、アドレス・制御信号生成用メモリインタフェースコントローラ50に入力されてメモリアドレス生成準備がされ、かつコントロールバスB3の

ディスクドライブ21への切り替え回路20がオフされる。この切り替え回路20のオフ状態は再びステータスレジスタが読み出されて、データ転送中止リセットあるいはデータ転送完了を示すまで継続する。

【0196】続いて、コマンドレジスタへのPIO書き込み系コマンドコードの書き込み動作を行う。この結果、これはサイクル時間待ち後リセット回路47の出力側にあるスイッチ48をオフさせて、論理ステート制御回路46からの所定の論理ブロックアドレス範囲の指定されたことを示すメモリアドレス生成イネーブル信号MC11の出力が、その後のデータ転送中はアドレス・制御信号生成用メモリインタフェースコントローラ50に入力され続け、また同様にコントロールバスB3のディスクドライブ21への切り替え回路20をオフ状態のまま維持させる動作をする。

【0197】この後、ホスト側は400nsの待ち時間を設けた後、次の動作に入る。コマンドレジスタへのPIO書き込み系コマンドコードの書き込みを受けて、今度は、メモリインタフェースコントローラ18は内部のステータスレジスタM2にデバイスデータ転送準備完了

を示すBSY=0、DRQ=1をセットし、続いてホスト側はデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路M6への読み出し制御信号アクセスIOW-を発することにより、PIO読み出し処理の場合と同じようにワード単位のデータ転送を各セクタ単位での割り込み処理をとまってセクタカウントレジスタに設定されたセクタ数分だけ繰り返しデータ転送を行う。

【0198】データ転送が終了したら、デバイスはステータスレジスタにDRQ=0、BSY=0の転送完了状態を設定し、メモリINTRQ信号を発生させる。ホスト側はステータスレジスタの読み出しを行ってデバイスデータ転送準備完了を確認し、デバイス側はこの読み出し動作によってメモリINTRQ信号をクリアする。ホスト側がこのレジスタを読み出してデバイスがメモリINTRQ信号をクリアする動作に続いて、サイクル時間待ち後リセット回路47の出力のスイッチ48をオフからオンに復帰させて、論理ステート制御回路46から出力された、所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11もリセットされ、コントロールバスB3のディスクドライブ21への切り替え回路20をオン状態に復帰する動作が続く。

【0199】ここで、PIO読み出し動作と同様に、ホスト側のプログラム処理は、ステータスレジスタの読み出しでフラグをセットし、デバイス側からのメモリINTRQ信号の発生でフラグをクリアさせることにより、各段階のプログラムを切り替え処理することによってATAプロトコルのデータ転送を実現することとしてもよい。

【0200】図16はDMAデータ転送動作によるメモリインタフェースコントローラのデータ転送の動作説明図である。ここでは、転送開始設定値がディスクドライブ21内のファイルシステムによるFAT内のクラスタチェーンを含むアドレス範囲内（この場合は $\leq 133h$ ）であることをメモリインタフェースコントローラ18内の論理ステート制御回路46が判別した場合に、データメモリ19との間でデータ転送を行う動作を説明している。

【0201】まず、デバイス／ヘッドレジスタへの書き込みにより、デバイス選択を行う。次に、ディスクドライブ21内部のステータスレジスタにより、ドライブ内部でDRQ=0、BSY=0をセットする。次いで、ステータスレジスタのステータスコードを読み出して、DRQ=0、BSY=0をセットすることによりディスクデバイスが選択セットされた状態を確認する。

【0202】次いで、コマンドパラメータの設定に入る。まず、セクタカウントレジスタにセクタ転送カウント数を設定する。続いて、4個のレジスタからなるLB

理ブロックアドレス値を設定する。

【0203】続いて、論理ステート制御回路46によるコントロールバスB3のディスクインタフェースの切り替え動作を行うとともに、サイクル時間待ち後リセット回路47が所定時間、たとえば400nsの、計時を開始する。ここではメモリインタフェースコントローラ18を選択する動作説明であるので、転送開始設定値がディスクドライブ21内のファイルシステムによるFAT内のクラスタチェーンを含むアドレス範囲内（この場合は $\leq 133h$ ）であることをメモリインタフェースコントローラ18内の論理ステート制御回路46が判別した場合に、データメモリ19とのデータ転送を行う動作になる。ここでの切り替え動作では、論理ステート制御回路46の出力した、所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11が、アドレス・制御信号生成用メモリインタフェースコントローラ50に入力されてメモリアドレス生成の準備がなされ、かつコントロールバスB3のディスクドライブ21への切り替え回路20がオフされる。この切り替え回路20のオフ状態は再びステータスレジスタが読み出されて、データ転送中止リセットあるいはデータ転送完了を示すまで継続する。

【0204】続いて、コマンドレジスタへのDMA転送系またはUltraDMA転送系コマンドコードの書き込み動作を行う。この結果、これはサイクル時間待ち後リセット回路47の出力のスイッチ48をオフさせて、論理ステート制御回路46からのメモリアドレス生成イネーブル信号MC11の出力が、その後のデータ転送中はアドレス・制御信号生成用メモリインタフェースコントローラ50に入力され続け、また同様にコントロールバスB3のディスクドライブ21への切り替え回路20をオフ状態のまま維持させる動作をする。

【0205】この後、ホスト側は400nsの待ち時間を設けた後、次の動作に入る。コマンドレジスタへのDMA転送系コマンドコードの書き込みを受けて、今度は、メモリインタフェースコントローラ18は内部のステータスレジスタM2にデバイスデータ転送準備完了を示すBSY=0、DRQ=1をセットし、セクタカウントレジスタのセクタ数分のブロックデータ転送回数が終了するまでメモリインタフェース側からデータ転送要求状態信号であるDMARQ信号を発生させ続ける。

【0206】続いて、ホスト側はデータレジスタのアドレス発生回路に相当するワード単位アドレス発生回路M6への読み出し制御信号アクセスIOR $\bar{}$ 、IOW $\bar{}$ とともにDMACK $\bar{}$ をワード単位転送で発することにより、ワード単位のデータ転送をセクタカウントレジスタに設定されたセクタ数分だけ繰り返しデータ転送を行う。

【0207】データ転送が終了したら、デバイスはステータスレジスタにDRQ=0、BSY=0の転送完了状

態を設定し、メモリINTRQ信号を発生させる。ホスト側はステータスレジスタの読み出しを行ってデバイスデータ転送準備完了を確認し、デバイス側はこの読み出し動作によってメモリINTRQ信号をクリアする。ホスト側がこのステータスレジスタを読み出してデバイス側がメモリINTRQ信号をクリアする動作に続いて、サイクル時間待ち後リセット回路47の出力のスイッチ48をオフからオンに復帰させて、所定の論理ブロックアドレス範囲が指定されたことを示すメモリアドレス生成イネーブル信号MC11の論理ステート制御回路46からの出力もリセットされ、コントロールバスB3のディスクドライブ21への切り替え回路20をオン状態に復帰する動作が続く。

【0208】ここで、DMAデータ転送動作においても同様に、ホスト側のプログラム処理は、ステータスレジスタの読み出しでフラグをセットし、デバイスからのメモリINTRQ信号の発生でフラグをクリアさせることにより、各段階のプログラムを切り替え処理することによりATAプロトコルのデータ転送を実現する。

【0209】さらにここで、メモリインタフェースコントローラ18とファイルシステム用のデータメモリ19とをドライブ内部に設置し、データメモリ19をバッテリバックアップ、あるいは電源不用の不揮発性フラッシュメモリで構築することにより、FATデータのディスクからメモリへの転送の前処理や、データ転送後の逆方向のメモリのFAT更新データのディスクへの書き戻しの後処理は不要となり、ファイルシステム用メモリ、ディスク一体型のATAディスクドライブとなすことができる。そして、それに対する各ハードウェア構成、緒動作説明は上述と同様に行うことが可能となる。

【0210】このドライブはファイルシステムに対しても、高機能OSの搭載なしに特に連続データである映像音声データをファイル化して、ディスクドライブと映像音声入出力回路とのデータ転送をリアルタイムで行うことができる。

【0211】次に、第2の実施の形態として、異なる複数ファイルシステムあるいはアクセススピードの異なる複数メカ形式のATA/ATAPI方式ディスクドライブでのシステム構成の例について説明する。

【0212】図17はアクセス速度の異なる二つのディスクドライブに適用した場合の構成を示すブロック図である。図17の構成によれば、ディスクドライブ21として、第1ATA/ATAPIディスクドライブ21-1および第2ATA/ATAPIディスクドライブ21-2を用いている。第1ATA/ATAPIディスクドライブ21-1および第2ATA/ATAPIディスクドライブ21-2は、ディスクアクセス速度あるいはディスクファイルシステムの互いに異なるATA/ATAPI方式のディスクドライブである。ATAホストインタフェース回路17には、第1アドレス変換回路17a

ー1および第2アドレス変換回路17a-2を有して、それぞれ各ドライブの内部レジスタにメモリマップドI/O方式でアクセスするアドレス変換を行っている。メモリインタフェースコントローラ18は、その内部に、それぞれ第1ATA/ATAPIディスクドライブ21-1および第2ATA/ATAPIディスクドライブ21-2に対応する、第1メモリインタフェースコントローラ18-1および第2メモリインタフェースコントローラ18-2を有している。また、データメモリ19は、その内部に、第1ATA/ATAPIディスクドライブ21-1および第1メモリインタフェースコントローラ18-1と、第2ATA/ATAPIディスクドライブ21-2および第2メモリインタフェースコントローラ18-2とにそれぞれ対応して設けられた、第1データメモリ19-1および第2データメモリ19-2を有している。

【0213】ここで、ディスクドライブ21の二つのドライブについて説明する。第1ATA/ATAPIディスクドライブ21-1は、第1のディスクドライブを構成し、第1のファイルシステムを使用している。第1のディスクドライブの構成は、第1のヘッド搭載方式として磁気、光磁気、あるいは光記録方式の浮上スライダ式ヘッド搭載方式を使用し、第1のヘッド支持方式としてはジンバルおよびスイングアーム式ヘッド支持方式を使用し、第1のシークアクセス駆動方式としては、ボイスコイルモータ式駆動方式を使用し、ディスクトラック形式はゾーン化された同心円状トラック形式の固定式回転ディスクを使用した、ハードディスクなどの高速データ読み出し書き込み可能な、ATA/ATAPI方式ディスクドライブである。

【0214】第2ATA/ATAPIディスクドライブ21-2は、第2のディスクドライブを構成し、第2のファイルシステムを使用している。第2のディスクドライブの構成は、第2のヘッド搭載方式として光磁気あるいは光記録方式の固定支持式ヘッド搭載方式を使用し、第2のヘッド支持方式としては光学焦点式およびリニアアクチュエータ式ヘッド支持方式を使用し、第2のシークアクセス駆動方式としては、リニアモータ式スライド駆動方式を使用し、ディスクトラック形式はゾーン化されたスパイラル状トラック形式のリムーバブルディスクを使用して、媒体への書き込み読み出しは比較的低速であってもスパイラルトラックにより連続して映像音声用途の連続データの読み出し書き込みに適した、DVD-RAM(書き込み/読み出しが可能なDVD: Digital Versatile Disc)ディスクなどの、ATA/ATAPI方式ディスクドライブである。

【0215】第1のディスクドライブが使用する第1のファイルシステムとして、本実施の形態では、FATファイルシステムを使用する。第1のディスクドライブ内部の第1ディスクには、図示するようにディスクアドレ

スLBAによってアクセスされるデータ領域があり、その中でFATおよびFATの続きを第1データメモリ19-1に記憶して、第1の実施の形態の場合と同様に、ファイルアクセスに使用する。

【0216】第2のディスクドライブが使用する第2のファイルシステムとして、本実施の形態では、UDF(Universal Disk Format)ファイルシステムを使用する。第2のディスクドライブ内部の第2ディスクの各レイヤ層には、それぞれリードインで始まり、リードアウトで終わり、論理ブロックアドレスLBAでアクセスできるデータ領域がある。

【0217】そのうちのレイヤ1を説明すると、図示するようにディスクアドレスLBAによって示される論理ブロック領域があるが、リードインは読み出し専用情報が存在していてその末尾にはホスト側ユーザからは読み書きアクセス不可のリムーバブルディスク毎の欠陥補正情報を書き込むエリアが確保されている。ここはたとえば現在のDVD-RAMではLBAで30FFFhまでである。

【0218】リードインからリードアウトまでの間のデータエリアはホスト側からアクセスされ、繰り返し書き込み読み出し可能なデータ領域であって、DVD-RAMでは31000hから始まるオフセット付きLBAの論理ブロックアドレスでアクセスされる。

【0219】ここで、リードイン内部の読み出し専用情報、リードイン内部にテーブルオブコンテンツ(TOC: Table of Contents)が存在するならばそのTOC、およびデータエリア内部にユーザテーブルオブコンテンツ(UTOOC: User Table of Contents)が存在するならばそのUTOOCとしての、ディスク容量およびファイルシステムによって必要なデータ量を保持できる約数千〜1万セクタ分のLBAアドレス分の記憶データが、第2メモリインタフェースコントローラ18-2を介してATAプロトコルでアクセスされ、第2データメモリ19-2に書き込み保存され、かつ読み出しアクセスされる。この第2データメモリ19-2に保存されたデータは、第1の実施の形態の場合と同様に、ファイル化されたデータのアクセスに利用する。

【0220】これにより、それぞれ方式の異なったディスクドライブであって、ヘッドアクセス速度仕様性能、使用するファイル形式が異なっている場合においても、ファイル化データの書き込み読み出しデータに特に時間連続性を必要とする映像音声データに対し、ファイル化処理にともなうヘッドシークアクセス発生による時間不連続が発生しないため、ディスクへの記録およびディスクからの読み出しを高速に行うことができる。

【0221】次に、第3の実施の形態として、時間連続性を必要とするパケット形式で入出力される通信トランスポートストリームの映像音声データ信号に対して、デ



ディスクへの記録の際には時間連続でこの映像音声データをファイル化して書き込み、この記録されたディスクからのファイル化された映像音声データの再生の際に、特に時間不連続な条件付きアクセスを実現するようなシステムの場合を例にして説明する。

【0222】ここで、パケット形式トランスポートストリームに時間情報が含まれていない場合、あるいはその検出には複雑な方式ブロックを必要とする場合、データ記録中に別途記録時刻時計を用意して、ディスクへのデータ書き込みLBA位置情報と記録時刻との対照表を作成して、一連のデータ記録が完了した後でデータメモリ19にこの情報をUTOCとして転送し、データの記録時刻を利用したディスクからの特殊な条件付き再生の際に、ATAプロトコルでアクセスできるデータメモリ19を利用してUTOCを参照しつつヘッドシークアクセスによる時間不連続遅れの発生を減少させるパケット形式トランスポートストリーム映像音声データの再生システムを実現する。

【0223】図18は記録時刻の条件付き頭だし再生アクセスを可能とするシステムの構成を示すブロック図である。図18の構成によれば、特に、映像音声データ入出力回路16は、その内部構成として、データ入出力バッファ兼コントローラ部16-1と映像音声データディスクアクセス表作成部16-2とを有している。この映像音声データディスクアクセス表作成部16-2はさらに、その内部構成として、ストリームパケットヘッダ検出部16-11と、ディスクアクセスLBA算出部16-12と、記録時刻時計(Real Time Clock)16-13と、ディスクLBA記録時刻対照表作成部16-14とを有している。

【0224】まず、記録再生する信号である、パケット形式のトランスポートストリーム信号のデータ構成とその信号がデコードされるための使用前提となるデコーダ仕様について説明する。

【0225】デジタル放送受信チューナから得られたMPEG2-TS(トランスポートストリーム)システム信号は、DVB形式の信号(DVB=Digital Video Broadcast)であって、圧縮信号の音声と映像とが1番組としてマルチプレクスされ、それを1番組として複数番組がマルチプレクスされた形式のストリーム信号である。そして、このデータは小さなデータサイズにパケット化されて伝送される。各番組は各パケット内に組み込まれる番組情報コードのPID(プログラムID)で区別される。

【0226】この1パケットデータが先頭同期バイトデータ47hで始まる188バイト、そしてそれに続く不定データの16バイトで構成されている。なおここで、47hのバイトデータは先頭同期バイトデータに固有のデータではなく、伝送されるバイトデータにも存在するため、204バイト毎に存在する複数回の47hの先

頭同期バイトデータの検出確認により各パケットの先頭同期バイトデータと判別、認識する。この場合の複数回とは、たとえば5回連続検出などである。

【0227】また、信号デコーダ部の仕様としては、可変長データ入力に対応していて、アンテナ受信での電波障害やチューナの番組チャンネルザッピング操作など、間欠的にトランスポートストリーム信号のデータおよび時間不連続が発生した場合にも対応して、不連続時間中は直前のデコード結果画像データ出力をそのまま静止画で出力し、再度入力データの連続性が回復すれば正常入力状態を確認した後にMPEG2-TSシステム信号の正常デコード動作を0.2秒以内など迅速に再開する動作機能仕様を有する、デジタル放送受信チューナデコーダに使用されるデコーダ部とする。

【0228】また、この図18の例では、図示はしないが、映像音声データ入出力回路16に、パケット形式のトランスポートストリームデータの入出力系システムブロックとして、受信入力/ローカルデコード出力機能、あるいはローカルエンコード入力/ローカルデコード出力機能を有するシステムブロックを接続して使用することを想定している。

【0229】たとえばデジタル放送受信チューナを使用する場合には、機器コネクタより出力される受信信号出力を接続してDVB放送方式に準拠するMPEG2-TSシステムストリーム信号として入力し、あるいはその逆方向に切り替えて機器コネクタから入力されるDVB放送方式に準拠する受信MPEG2-TSシステムストリーム信号をデコードする機能のシステムブロックを受信チューナ内部に別途設けて、それを図18の映像音声データ入出力回路16に接続して出力する構成をとる。

【0230】あるいはまた、通常映像音声信号入力をMPEG2-TSトランスポートストリームシステム信号にエンコードおよびマルチプレクスして入力する、あるいは機能を切り替えてその逆方向にデマルチプレクスおよびデコードして出力し通常映像音声信号出力する、システムブロックを図18の映像音声データ入出力回路16に接続して入出力する構成をとる。

【0231】ここで、ディスクドライブへのパケット形式トランスポートストリームとしてのデジタル放送受信MPEG2-TSシステムストリーム信号の映像音声連続データのディスクへの記録データ取り扱い単位サイズの決定方法を説明する。

【0232】パケット形式のトランスポートストリームデータのATA/ATAPIディスクドライブへの記録は、ディスク記録データのアクセスを容易化するために、通信系パケット単位をディスクデータのパケット単位であるセクタ単位に適合させる方法で記録する。

【0233】現行ATA/ATAPI方式ディスクドライブでは、1セクタ=512バイトであり、その毎回の転送は1回につき最大128kバイトであるから、第1

のディスクデータの packets 化方法としては、ディスクの1セクタ単位の512バイトと packets 形式トランスポートストリームの204バイトとの最小公倍数の104448バイト(19800hバイト)単位を1ディスク packets 単位とする、すなわち packets 形式トランスポートストリーム信号の packets 単位とディスクのセクタ単位とを区切りをあわせて記録を行う方法を使用する。この方法は、セクタ単位での任意位置からのアクセスが容易になる効果を有する。

【0234】あるいはまた、この最小公倍数の104448バイトを超えて128kバイト、すなわち131072バイト(20000hバイト)までの間での204バイトの整数倍単位を1ディスク packets 単位として定める方法で記録を行う。

【0235】この場合は、最終のセクタでは、セクタデータ転送途中でトランスポートストリーム繰返しデータ単位の204バイトの整数倍単位の終了に到達するが、その際には、そのセクタの残りのデータについては、アクセスを停止して、ATA/ATAPI ディスクドライ  
20 プ内蔵の制御レジスタに新たにコマンドを書き直すことにより転送アクセス待ち状態を解除して、新たに次のセクタのデータ転送処理を用意する。

【0236】このとき、1セクタの書き込み途中で書き込みを停止すれば、ディスクのこのセクタの残りのデータ部分にはディスクドライブ内部ファームウェアの働きにより自動的にフォーマットデータが書き込まれ、それらの1セクタデータ部全体に対してECCが付加されてセクタ書き込みが終了する。つまり、ディスク上のデータはセクタ単位に取り扱える記録データとなる。これにより、packets 形式トランスポートストリーム信号の packets 単位集合でのデータアクセスが容易になり、かつ  
30 ディスクからの連続データアクセスが容易になる効果を有する。

【0237】データ入出力バッファ兼コントローラ部16-1は、少なくともATA/ATAPI 方式ディスクドライブの1回で転送できるデータサイズの最大である128kバイト単位の大きさ以上のメモリを複数有するバンクメモリであり、所定の packets 形式トランスポートストリーム転送サイズを転送するバンクメモリ単位時間毎に、片方のメモリに書き込みながら、バンクメモリを切り替えて外部からのデータを交互に取り込み取り出しする。図示しない packets 形式トランスポートスト  
40 リームブロックからは時間連続で信号入力あるいは信号出力される。

【0238】ここで、この1バンクメモリの切り替え単位時間を説明する。本実施の形態での説明の場合、デジタル放送のDVB形式受信信号のMPEG2-TSトランスポートストリームシステム信号のとき、たとえばスカパーフェクトTVでは、1トランスポンダ帯域幅は約33MHzあり、その受信MPEG2-TSトランスポ  
50

ートストリームのシステム信号は、バイト単位パラレルデータ転送では、3.9555MHzクロックである。

【0239】このため、最小公倍数104448バイト単位での書き込み読み出しの場合は(104448バイト/3.9555MHzデータクロック)約26.4ミリ秒毎に1回周期で各バンクメモリに交互に各 packets データ集合を書き込み読み出し、メモリの切り替えを行うことになる。

【0240】また、128kバイト(131072バイト)に最も近く最大である、1 packets +同期の204バイトの整数倍データサイズは、642個の packets 集合データであり、130968バイトである。この場合は、(130968バイト/3.9555MHzデータクロック)約33.1ミリ秒毎に1回周期で各バンクメモリに交互に各 packets データ集合を書き込み読み出し、メモリの切り替えを行うことになる。

【0241】映像音声データディスクアクセス表作成部16-2の内部構成としてのストリーム packets ヘッダ検出部16-11は、デジタル放送受信チューナよりのMPEG2-TS(トランスポートストリーム)システム信号であるDVB形式の信号の packets 先頭同期バイトデータを検出する。

【0242】この信号は、1 packets データが先頭同期バイトデータ47hで始まる188バイトと、それに続く同期部の不定データの16バイトとで構成されていて、かつ47hのバイトデータは先頭同期バイトデータに固有のデータではなく、伝送バイトデータ内にも存在し得るため、204バイト毎に存在する複数回の47hバイトデータの周期的検出確認により各 packets の先頭同期バイトデータと判別して、packets 先頭を認識する。この場合の複数回とはたとえば5回連続検出、などである。

【0243】ディスクアクセスLBA算出部16-12は、ディスク開始位置の論理アドレスLBA書き込みレジスタをディスクドライブ内蔵レジスタと同じ28ビット長さで有し、ATA/ATAPI 方式のディスクドライブ21へのレジスタ書き込み制御データ(ディスクアクセスLBA制御信号)を内部レジスタに並列に取り込み、ディスクドライブへのデータ集合書き込みアクセス開始位置をLBAアドレスで取り込み、出力する動作を行う。

【0244】ここで、取り扱うデータ集合としては、上述の packets 形式トランスポートストリームの packets データ+同期部データの繰返しデータ長さの204バイトに対して、セクタとの最小公倍数のデータ集合、あるいは128kバイト以内で204バイトデータの整数倍の最大値を1集合データとして、その転送開始毎にそのディスクアクセス開始位置アドレスLBAをレジスタ取り込みする機能動作を有する。

【0245】記録時刻時計16-13は、時、分、秒の

時刻データを出力する時計であり、ディスクへのデータの記録の際に、毎回のLBAでのデータ集合書き込み開始に対応して、ディスクアクセスLBA算出部16-12に対応する時刻データを出力する動作を行う。なお、ここで簡便にするために毎回のセクタ開始毎ではなくて5秒毎としてもよい。

【0246】そして、ディスクLBA記録時刻対照表作成部16-14は、ストリームパケットヘッダ検出部16-11からはパケット形式トランスポートストリーム信号の入力が正常である検出信号を受け、ディスクアクセスLBA算出部16-12からは毎回のデータ集合のディスク書き込み開始位置アドレスLBAデータを受け、記録時刻時計16-13からはその際の時刻データを受けて、これらデータを順次、ディスクLBA記録時刻対照表として配列データ形式で内部に記憶格納する。

【0247】このように、パケット形式トランスポートストリーム信号をディスクドライブに記録する際に、ディスクLBAと記録時刻との対照表を作成していき、一連のパケット形式トランスポートストリームデータの記録が完了した後に、ブリッジインタフェース回路13はホストバス14を介してディスクLBA記録時刻対照表作成部16-14から対照表のデータを読み出して、ATAホストインタフェース回路17、メモリーインタフェースコントローラ18を介してデータメモリ19に書き込む。これはATAプロトコルでアクセスされる、データメモリ19上に確保されるユーザ内容テーブル、すなわちUTOCとなる。

【0248】ここで、このUTOCのデータサイズを考察するならば、1時間(60分)あたりの記録において、33ミリ秒毎のデータ集合個数は約10万9000個であり、この場合は256セクタすなわち128kバイトデータに余裕をもって収納可能である。予めディスク記録容量サイズに対応して、UTOCを記憶するためのデータサイズメモリを設けることとする。

【0249】パケット形式トランスポートストリームデータをディスクドライブから条件付き再生(コンディショナルアクセス: Conditional Access)を行う際には、各データ集合をUTOCに記載のLBAアドレスに基づいて順次間欠的にデータ読み出しを行う。

【0250】静止画再生の場合は、データ集合を読み出し再生してそのままデータ読み出しを中断させる。デコーダがデータ中断直前の画像を静止画として保持する。条件付き頭だし再生では、UTOCの時刻を参照することによって、間欠的な通常再生の繰り返しを行う。すなわち、あるLBA位置からの通常の5秒間のデータ読み出し再生を行って、その後、データ読み出しを中断してたとえば1分後の次の位置のLBAアドレスにジャンプし(これは約10ミリ秒程度で達成される)、次の位置の5秒間の通常再生を行う、ことを繰り返す。

【0251】ユーザは頭だし通常再生として、5秒間の通常再生により内容を把握し、記録時刻間隔でこの場合の1分後の位置にアクセスができ、このパケット形式トランスポートストリームのシステム信号デコーダがデータ不連続から回復できる次の0.2秒後に、次の内容を通常再生で5秒間鑑賞する。すなわち、飛ばし見機能の実現となる。この飛ばし見の記録時刻間隔は条件付き再生制御プログラムによって設定変更するものとする。

【0252】なお、図示しないこのデコーダがデータ不連続の後に連続データ入力によって正常デコード動作を回復する時間が0.2秒の場合、正常映像を出力したことを検出部を設けて検出して、その検出信号によって出力画像を静止画出力で保持しつつ、データ読み出しを停止してUTOCデータを参照して記録時刻で見て次の0.2秒位置のLBAデータ位置にジャンプして、再度データ不連続の後の連続データ入力によってデコーダの正常デコード動作をこの0.2秒後に回復させ、その正常映像出力を検出して静止画出力を更新する、ことを0.2秒毎に繰返すことによって、1秒間に5枚(0.2秒おき)の静止画からなる動画像スロー再生を実現することを可能とさせる。

【0253】これは、エラーなしデータが保証されているディスクドライブ用に仕様が定められたMPEG2-PSプログラムストリームと比較して、データ転送中にエラー発生の可能性があっても、それからの回復の迅速さを考慮しているDVB信号形式に対応するデコーダ仕様特性を利用して条件付き再生、特殊再生を実現するシステムである。

【0254】次に、第4の実施の形態として、ディスクドライブの欠陥発生に伴う物理セクタのディスク上の物理的位置の置き換えが発生している場合に、ディスク上の距離位置の離れた交替セクタへの読み出しヘッドアクセスでデータ読み出し時間が不連続とならないようにした場合について説明する。

【0255】図19は交替セクタへの読み出しヘッドアクセスでデータ読み出し時間不連続の発生防止を説明する図である。図19においては、ディスクドライブ21と、メモリーインタフェースコントローラ18と、データメモリ19とを備えて、一つの映像音声データ読み出し用ATA/ATAPI方式ディスクドライブを構成している。

【0256】読み出しデータに時間連続性が必要とされる映像音声データ再生用のディスクドライブ21に対して、ディスクドライブ21に記録されたデータのうち、ディスクのセクタ単位での欠陥発生に対しては、これに対応して記録セクタの物理的記録場所の置き換えであるセクタ交替処理を行って記録されている。

【0257】これらは製造時に検出した欠陥セクタの欠陥リスト(Pリスト)、使用時に増加する欠陥セクタの欠陥リスト(Gリスト)の、論理ブロックアドレスLB

Aに基づいてドライブ内部ファームウェア制御によってセクタ置き換え処理が行われている。

【0258】ここで、ディスクドライブ21に対して、ディスクドライブ21内部にメモリインタフェースコントローラ18とデータメモリ19とを含めて設ける構成とする。

【0259】これらセクタ欠陥によってディスク上のセクタのLBAアドレス番号はそのままにこのセクタの物理的記録場所が置き換え処理される。セクタ交替処理されたセクタ群に対して、ドライブ内部システムファームウェアのソフトウェア制御により、電源パワーオン起動時に内蔵するメモリインタフェースコントローラ18に対して制御することによって、セクタ交替処理で置き換えたセクタ群のLBAアドレス範囲に対応するセクタ単位で内蔵するデータメモリ19にセクタデータをあらかじめ転送して、ドライブ外部からのデータ読み出しの用意をする。

【0260】データ読み出しに際しては、欠陥セクタの置き換え処理をされた交替セクタに該当するLBAアドレスのセクタデータの読み出しアクセスでは、ヘッドアームを実際に物理的なシークをして交替セクタを読み出すのではなく、ドライブ内部のメモリインタフェースコントローラ18を介してデータメモリ19にアクセスしてセクタデータを読み出す。このため、ディスクドライブ21のヘッドアームのシークは発生しないために、シークによるデータ読み出し時間不連続発生をなくすることができる。

【0261】電源パワーオン時にメモリインタフェースコントローラ18を介してデータメモリ19に欠陥セクタデータを転送し、ディスクドライブ21からの映像音声データ読み出しのときに、交替セクタのセクタデータ読み出しアクセスをメモリインタフェースコントローラ18を介してデータメモリ19に行うようにしたことにより、読み出しデータに時間連続性が必要とされる映像音声データ再生に適したデータ読み出し動作を有するディスクドライブ構成とすることができる。

【0262】以上、本発明をその好適な実施の形態をもとに説明したが、本発明はこれら特定の実施の形態に限定されるものではない。たとえば、上述の実施の形態の説明では、DOS互換ファイルシステムに対応したアクセスインタフェース装置とアクセス方法とについて説明したが、本発明は、FATのように、ディスク上の所定の論理ブロックアドレス範囲をファイルアクセスのためのファイル配置表(FAT)として集中して使用するような各ファイルシステムによって書き込み読み出しをする場合にも、同様に適用することができ、それら各ファイルシステムを採用したその他の各種OSによれば、映像音声連続データの書き込み読み出しにおいて、ファイル化されたデータをFATとともに書き込み読み出ししてもシークによる時間不連続の発生しない高速なデータ

転送を実現することができる。このOSとは、たとえば民生機器用の組込み用途の各OSである。

【0263】また、本発明はその実施の形態として、論理ブロックアドレスでアクセスするハードディスクの例で説明したが、これと同様に、回転するディスクを用いる論理ブロックアドレスでアクセスするディスクデバイスならば、リムーバブルディスク、光ディスク、光磁気ディスクへのファイル化した連続データの書き込み読み出しに適用して同様の効果を得ることができる。

【0264】また、本発明はその実施の形態における説明として、ATA/ATAPI-4インタフェースを使用するディスクドライブについて説明したが、ATA/ATAPI-4の将来の機能拡張されたインタフェースを有するディスクドライブ、さらにはIEEE1394や、ATM(非同期転送モード)などのネットワークバスとのブリッジ機能をそのインタフェースに追加で有するディスクドライブにも同様に適用して効果を得ることができる。

【0265】また、このディスクドライブのインタフェースに外部とのデジタルデータ送受信を光で行うための光1394インタフェースや、IrDA(Infrared Data Association)空間伝送インタフェースを光電変換部として追加で有するディスクドライブにも同様に適用して、連続したデータをファイル化しての書き込み、読み出しを必要とするポータブル通信マルチメディア用途にも同様の効果を得ることができる。

#### 【0266】

【発明の効果】以上説明したように本発明では、ディスク媒体上に配置されるデータについての情報を記録し管理している管理領域の管理情報をディスク媒体から読み込んで保持するメモリ手段を備えるように構成にした。これにより、ディスクストレージ手段で行っていたFAT内クラスタチェーンデータの更新をメモリ手段で行うことができるため、ディスクストレージ手段でのFAT内クラスタチェーンデータの更新に必要なFAT領域へのヘッドアームのアクセスがなくなり、連続したデータの高速転送が可能になり、ヘッドアームの余分な動作がないので消費電力の少ないドライブ装置を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明のディスク媒体アクセスインタフェース装置の原理構成を示した図である。

【図2】ハードディスクドライブに適用した場合の全体構成を示すブロック図である。

【図3】CPUのアドレス配置マップ例を示す図である。

【図4】DOS互換ファイルシステムのファイル管理情報およびデータ領域の位置を示す図である。

【図5】メモリインタフェースコントローラの構成を示

すブロック図である。

【図 6】アドレス変換の例を説明する図であって、  
(A) はアドレスデコード元の CPU アドレスを示し、  
(B) は ATA ホストインタフェース回路がアクセスする  
アドレス変換後のデバイス入力アドレス信号とデバイ  
ス内部レジスタとの関係を示している。

【図 7】アドレス・制御信号生成用メモリインタフェ  
ースコントローラの内部構成を示すブロック図である。

【図 8】アドレス比較経路切り替え制御部の構成を示す  
図である。

【図 9】ハードディスクドライブ起動時のドライブ初期  
設定からデータ転送の処理の流れを示すフローチャート  
である。

【図 10】ファイルシステムで 1 ファイルデータとして  
連続する各フレーム映像音声データをファイル化して読  
み出し書き込みする処理の流れを示すフローチャートで  
ある。

【図 11】ホストバス側のデバイスからの P I O データ  
読み出し処理の流れを示すフローチャートである。

【図 12】ホストバス側のデバイスからの P I O データ  
書き込み処理の流れを示すフローチャートである。

【図 13】ホストバス側のデバイスからの DMA データ  
転送処理の流れを示すフローチャートである。

【図 14】P I O 読み出し動作でのメモリインタフェー

スコントローラのデータ転送の動作説明図である。

【図 15】P I O 書き込み動作でのメモリインタフェ  
ースコントローラのデータ転送の動作説明図である。

【図 16】DMA データ転送動作によるメモリインタ  
フェースコントローラのデータ転送の動作説明図である。

【図 17】アクセス速度の異なる二つのディスクドライ  
ブに適用した場合の構成を示すブロック図である。

【図 18】記録時刻の条件付き頭だし再生アクセスを可  
能とするシステムの構成を示すブロック図である。

10 【図 19】交替セクタへの読み出しヘッドアクセスで  
データ読み出し時間不連続の発生防止を説明する図であ  
る。

【図 20】パーソナルコンピュータのファイルシステム  
を説明するための図である。

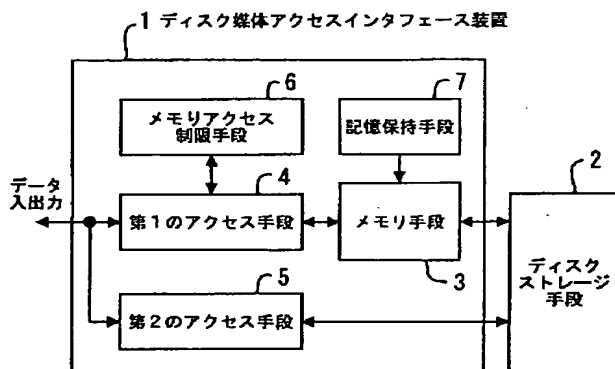
【図 21】光ディスクのファイルシステムの例を説明す  
るための図である。

【図 22】メモ리카ードのファイルシステムの例を説明  
するための図である。

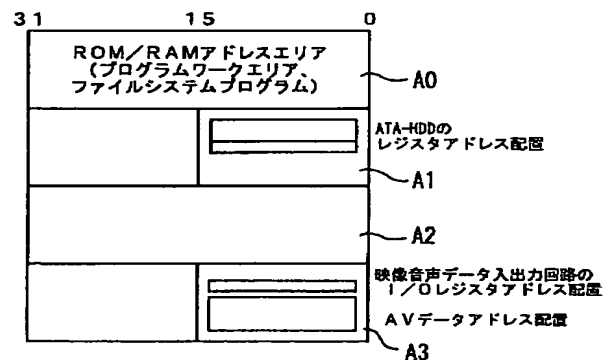
【符号の説明】

20 1 …… ディスク媒体アクセスインタフェース装置、 2 ……  
… ディスクストレージ手段、 3 …… メモリ手段、 4 ……  
第 1 のアクセス手段、 5 …… 第 2 のアクセス手段、 6 ……  
… メモリアccess制限手段、 7 …… 記憶保持手段。

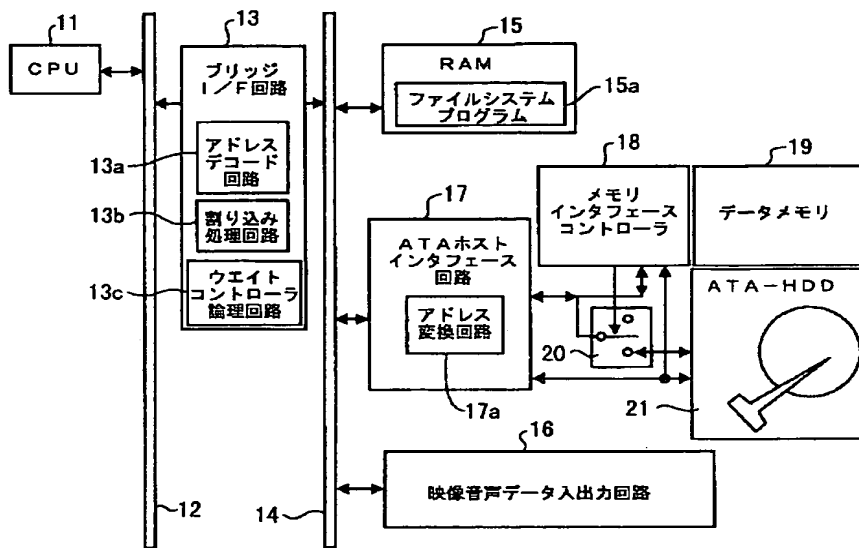
【図 1】



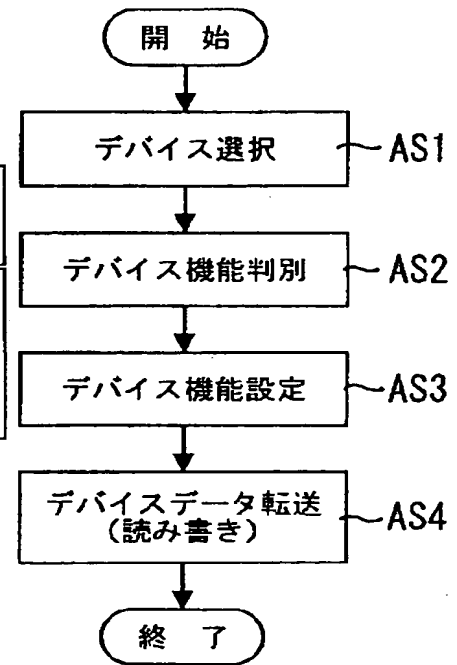
【図 3】



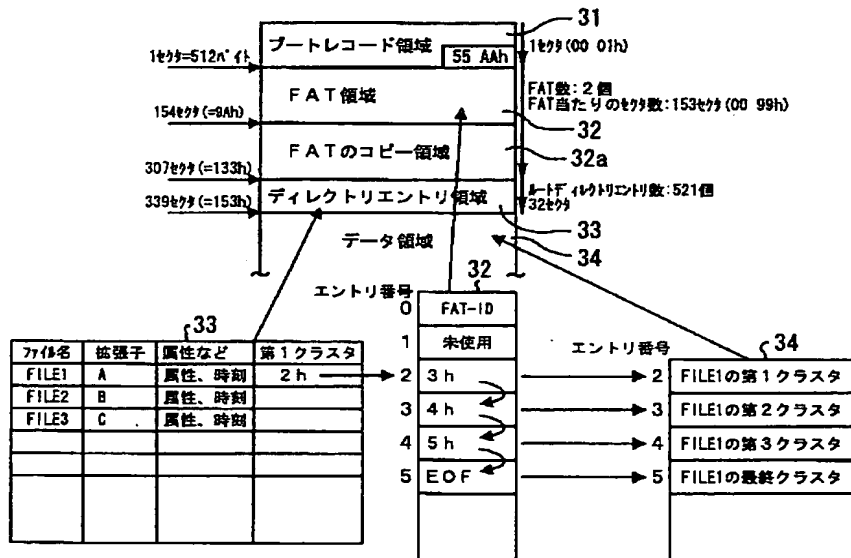
【図2】



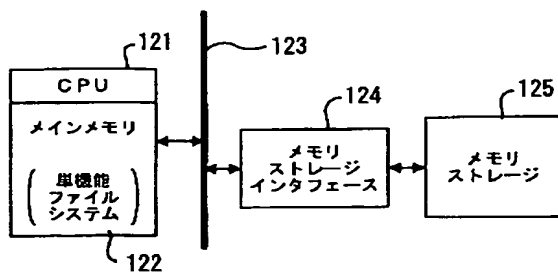
【図9】



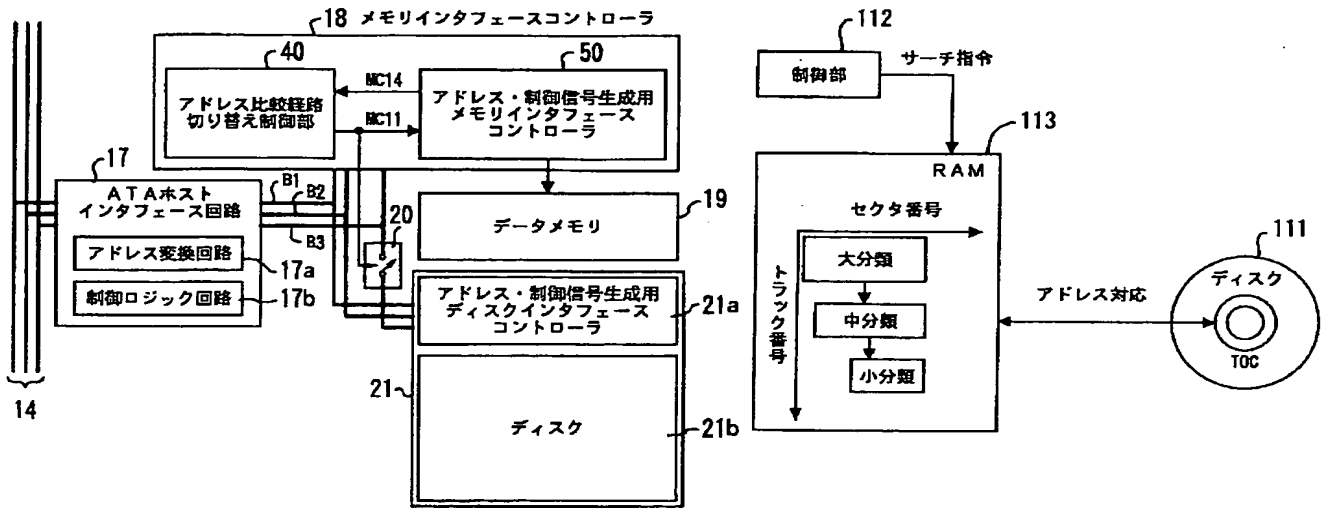
【図4】



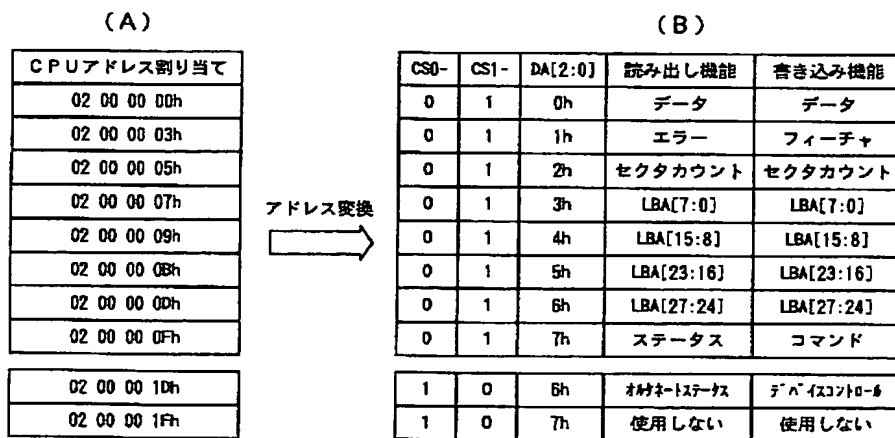
【図22】



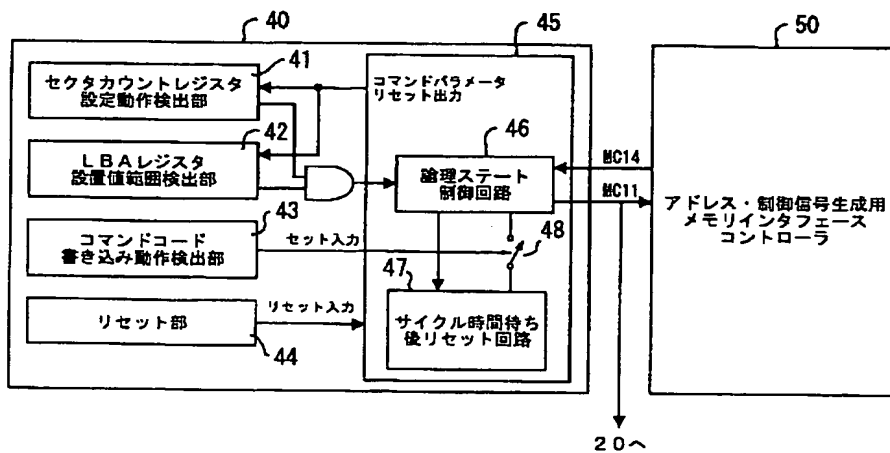
【图 2 1】



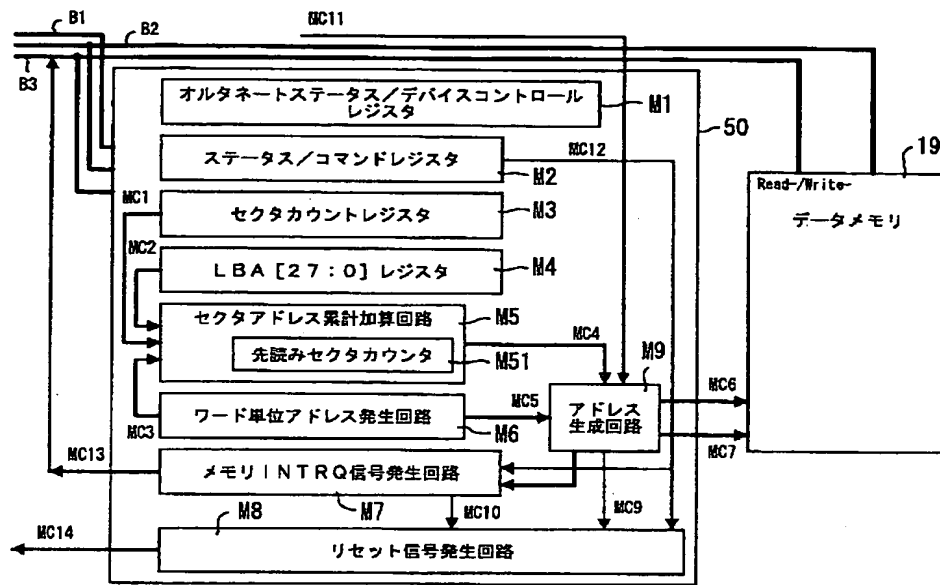
【図 6】



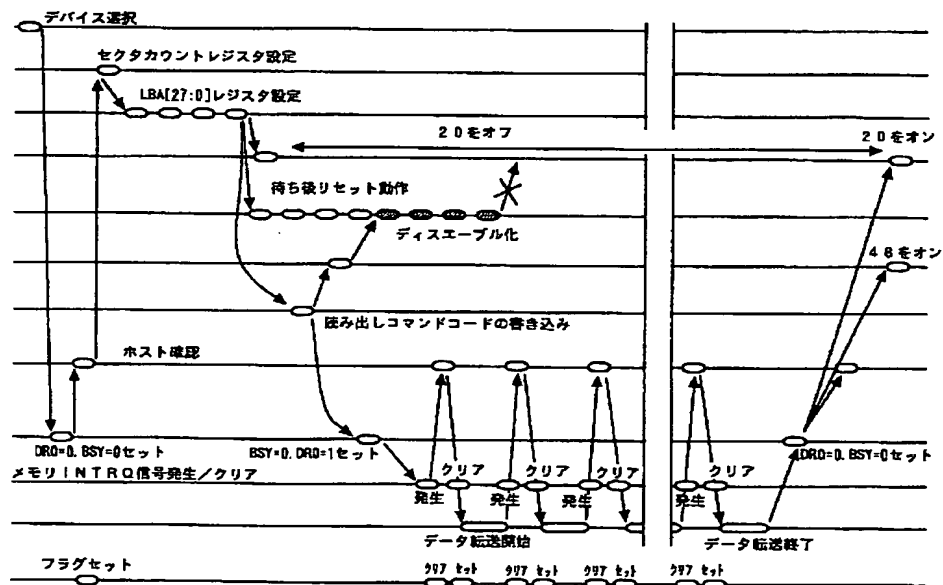
【図 8】



【図 7】

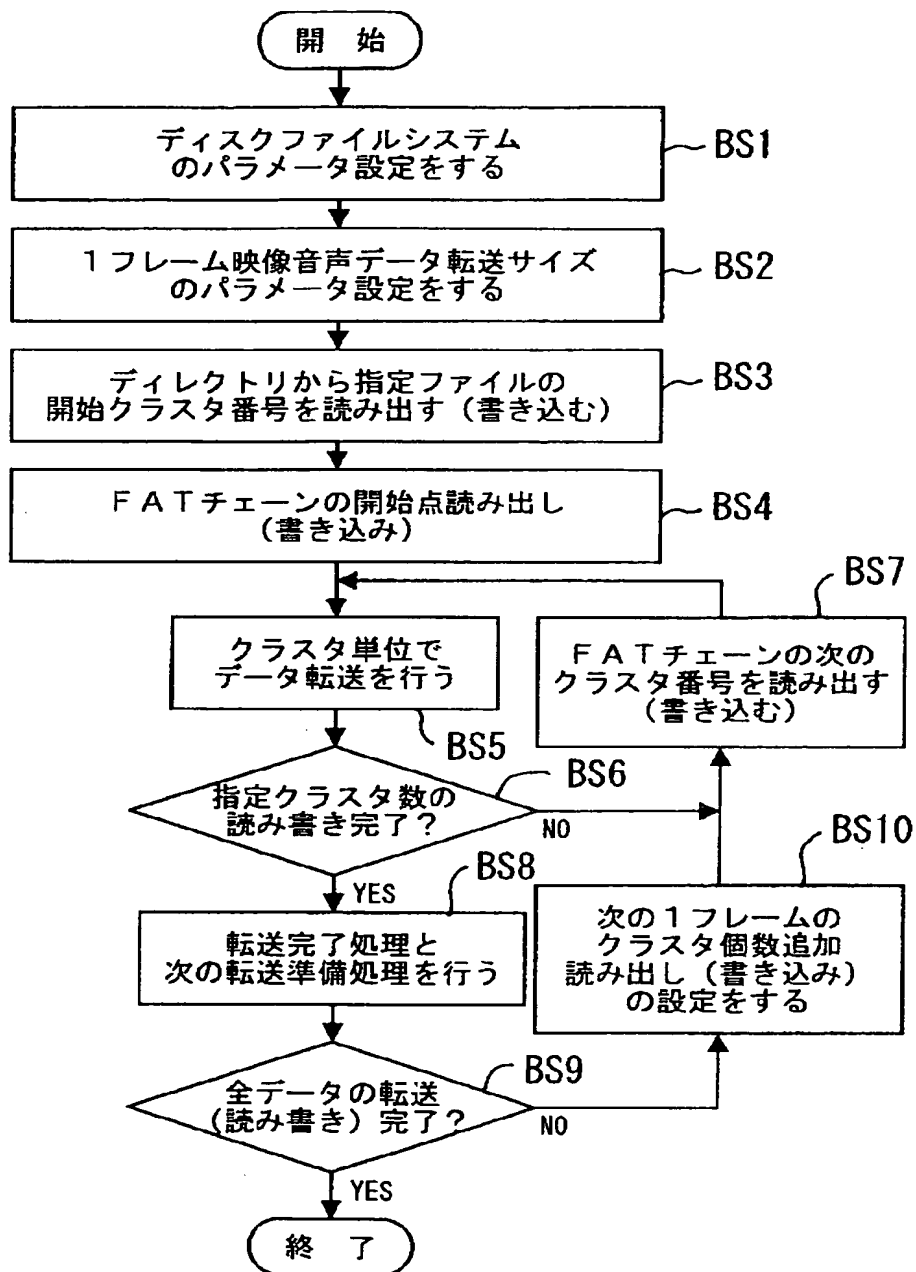


【図 14】

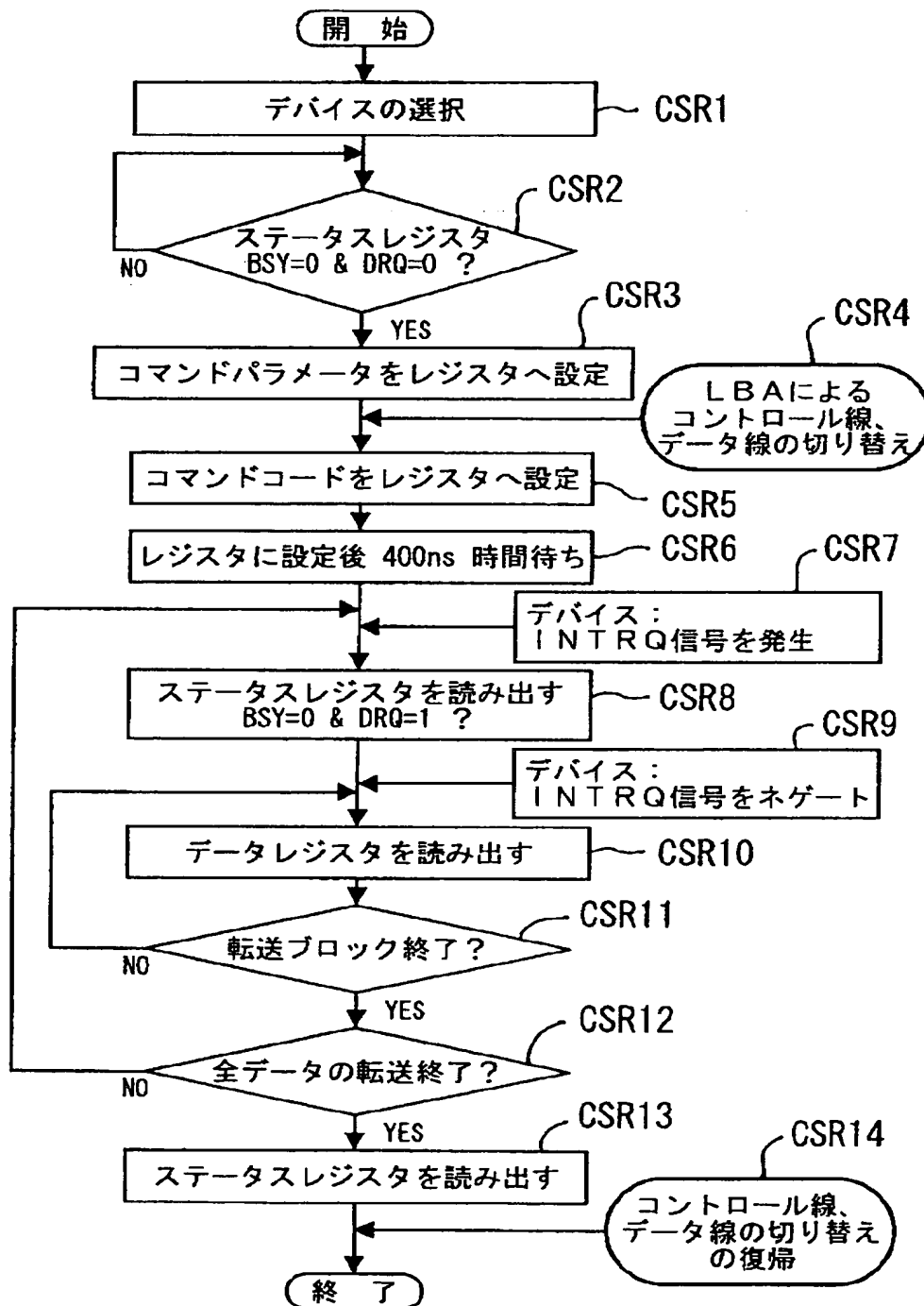




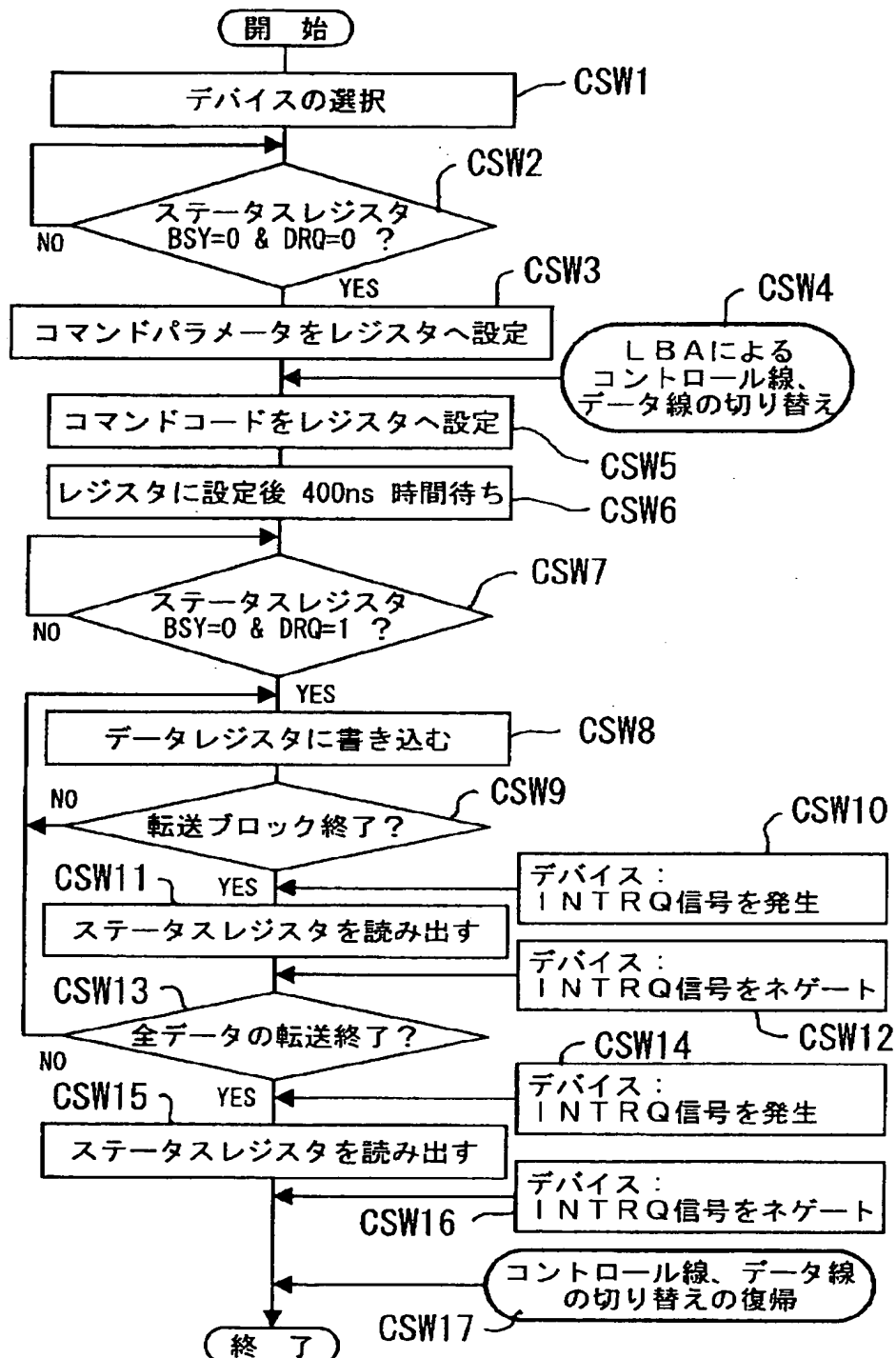
【図 1 0】



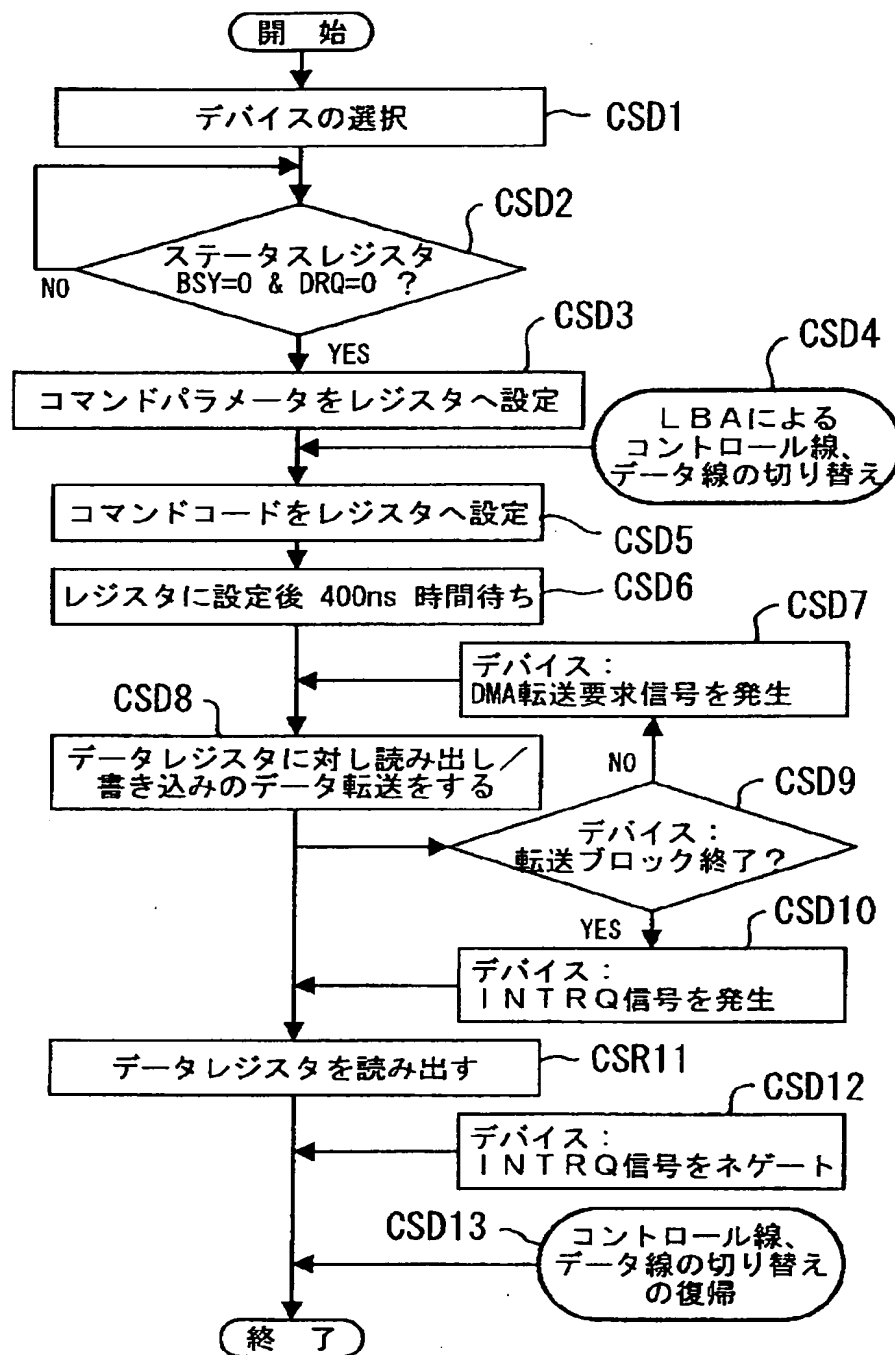
【図 1 1】



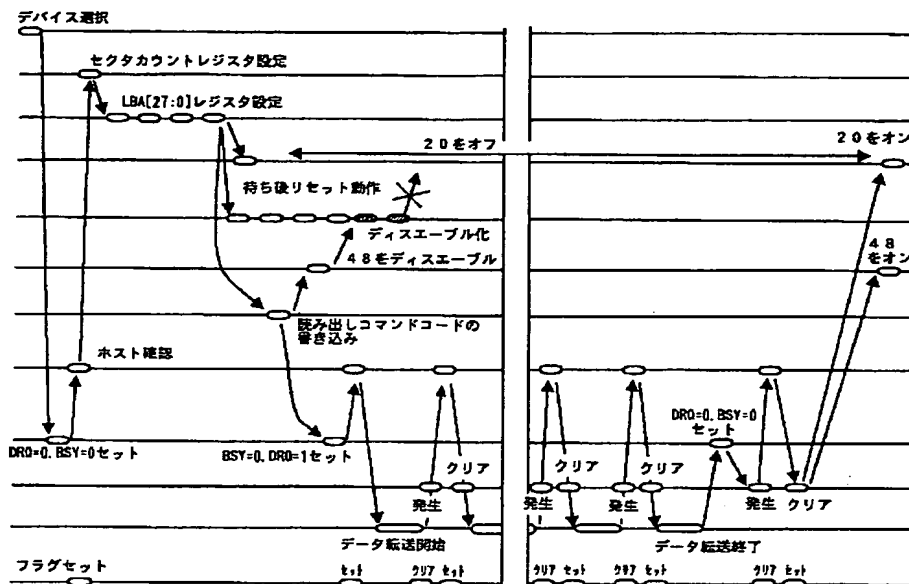
【図12】



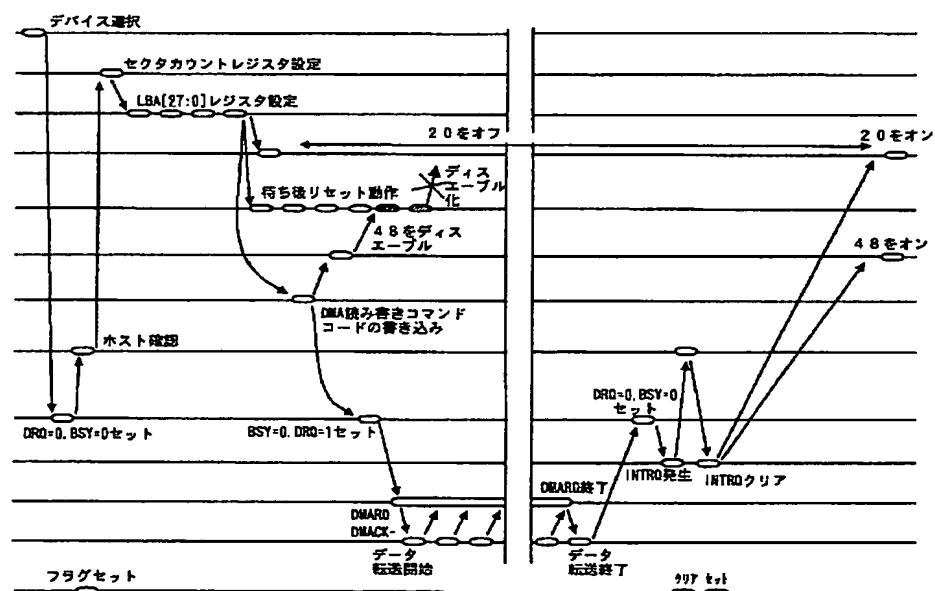
【図 13】



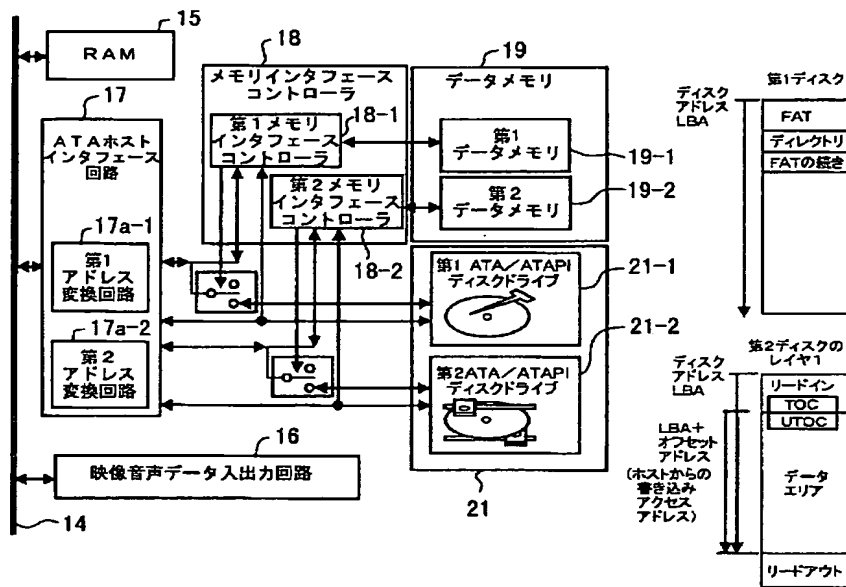
【図 15】



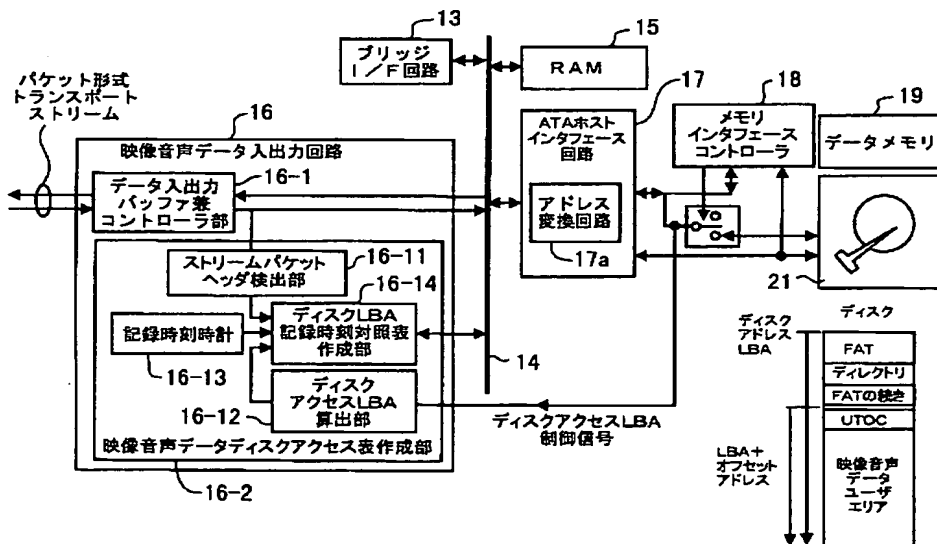
【図 16】



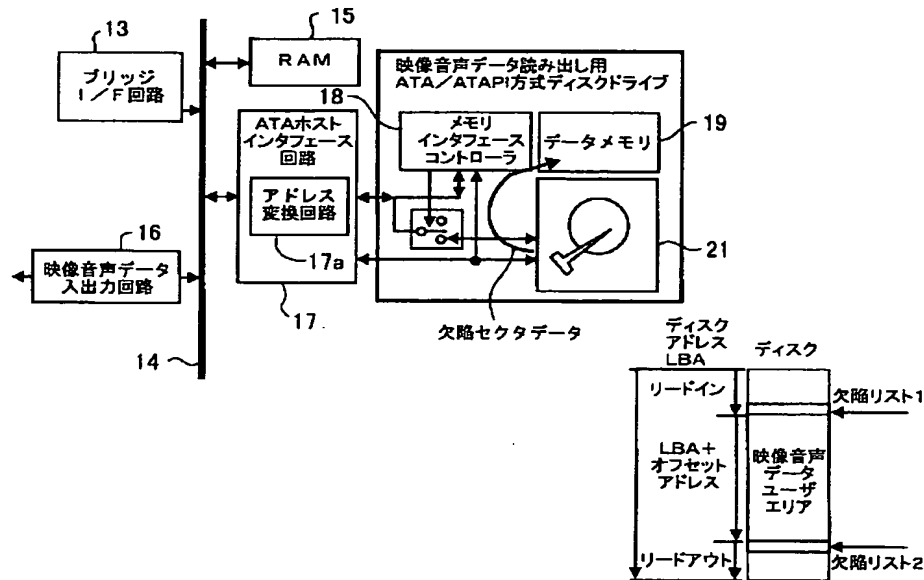
【図17】



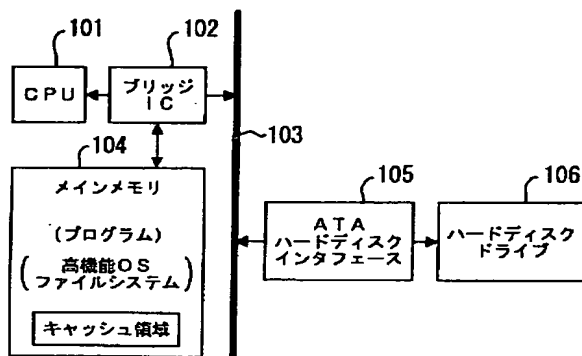
【図18】



【図 1 9】



【図 2 0】



## 【手続補正書】

【提出日】平成 1 0 年 7 月 2 8 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 2 2 5

【補正方法】変更

【補正内容】

【0 2 2 5】デジタル放送受信チューナから得られた M P E G 2 - T S (トランスポートストリーム) システム信号は、DVB 形式の信号 (DVB = Digital Video Broadcast) であって、圧縮信号の音声と映像とが 1 番組としてマルチプレクスされ、それを 1 番組として複数番組がマルチプレクスされた形式のストリーム信号である。そして、このデータは小さな

データサイズにパケット化されて伝送される。各番組は各パケット内に組み込まれる番組仕様情報コードの P I D (パケット I D) で区別される。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 6

【補正方法】変更

【補正内容】

【0 2 3 6】このとき、1 セクタの書き込み途中で書き込みを停止すれば、ディスクのこのセクタの残りのデータ部分にはディスクドライブ内部ファームウェアの働きにより自動的にフォーマットデータが書き込まれ、それらの 1 セクタデータ部全体に対して E C C が付加されて

セクタ書き込みが終了する。つまり、ディスク上のデータはセクタ単位に取り扱える記録データとなる。これにより、パケット形式トランスポートストリーム信号のパケット単位集合でのデータアクセスが容易になり、かつディスクからの連続データアクセスが容易になる効果を有する。あるいはまた、DVB形式において、パケット形式トランスポートストリームの1パケット周期単位が188バイトの形式を選択する場合がある。その場合のディスクの1セクタ512バイトとの最小公倍数は、96256バイトとなり、この場合はこれを1ディスクパケット単位として定める方法で記録を行う。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0237

【補正方法】変更

【補正内容】

【0237】データ入出力バッファ兼コントローラ部16-1は、少なくともATA/ATAPI方式ディスクドライブの1回で転送できるデータサイズの最大である128kバイト単位の大きさとパケット形式トランスポートストリームの204バイトとの最小公倍数以上のメモリを複数有するバンクメモリであり、所定のパケット形式トランスポートストリーム転送サイズを転送するバンクメモリ単位時間毎に、片方のメモリに書き込みながら、バンクメモリを切り替えて外部からのデータを交互に取り込み取り出しする。図示しないパケット形式トラ

ンスポートストリームブロックからは時間連続で信号入力あるいは信号出力される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0257

【補正方法】変更

【補正内容】

【0257】これらは製造時に検出した欠陥セクタの欠陥リスト（Pリスト）、使用時に増加する欠陥セクタの欠陥リスト（Gリスト）の、論理ブロックアドレスLBAに基づいてドライブ内部ファームウェア制御によってセクタ置き換え処理が行われている。ここで、欠陥リストとしては、たとえばゾーンレコーディング方式のディスクにおいては、小規模な欠陥発生セクタをスキップして各データセクタの物理的位置の前後順序が維持されるスリッピング（Slipping）置き換え処理に対応する欠陥リスト（G1リスト）と、連続する比較的大きな欠陥発生セクタを各ゾーンの最終部毎に設けられているスペアエリアに置き換えてセクタの物理的位置の前後順序が入れ替わっても論理ブロックアドレス番号はリニアに維持するリニア（Linear）置き換え処理に対応する欠陥リスト（G2リスト）とがある。ここで、論理ブロックアドレス番号順に読み出す場合には、リニア置き換え処理された部分のデータセクタを読み出す際には、ヘッドアームのシークが発生していた。

フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

G 1 1 B 20/12

F I

G 1 1 B 20/12